

近閾値電圧回路を利用する 省電力アーキテクチャ実用化に関する検討

近閾値電圧チーム（課題番号：147006）

研究期間：平成 26 年 7 月 29 日～平成 29 年 3 月 31 日

研究代表者：佐藤寿倫 研究員：友景 肇、柳生数馬

【研究の背景と目的】

Internet of Things (IoT) というキーワードを見かけるようになって久しい。据置型のコンピュータが相互に接続されるようになってコンピュータネットワークが発達し、それが携帯情報端末の高性能化と両輪となっていてどこでもインターネット接続が可能になった。そして近い将来には、コンピュータやヒトだけではなくありとあらゆるモノがインターネットに接続される世の中になると予想されており、ネットワークのプロトコルを理解し処理の一部を担当できるインテリジェントなノードデバイスを安価に提供することが期待されている。この期待に答えるための課題は消費電力の大幅な削減と高い信頼性の確保である。

本研究の目的は、IoTデバイスで利用可能な省電力アーキテクチャの考案を目標にし、かつ、高い信頼性を担保できる方式を考案することである。

【研究成果】

1. 不揮発性メモリを利用するキャッシュ

LSIの消費電力の増大が重要な問題となっている。その主な原因はリーク電流による消費電力である。近年様々な不揮発性メモリが研究開発されており、それらを用いることでプロセッサ内のキャッシュメモリが消費するリーク電流電力を削減できるのではないかと期待されている。本研究では3階層のキャッシュメモリを仮定した。一次キャッシュ (L1C) には高速性が求められるため、従来より利用されているSRAMを採用する。二次キャッシュ (L2C) と三次キャッシュ (LLC) に東芝が提案しているap-STT-MRAM[1]を用いることを検討し、シミュレーションにより効果を確認する。

ap-STT-MRAMは電子のスピンによって生じる磁界

を利用してデータを読み書きする不揮発性の垂直磁気抵抗変化型メモリである。キャッシュメモリで従来利用されているSRAMに比べてリーク電流電力が極めて小さいという特徴を持つ。

表1に示す三つの構成で、キャッシュメモリの記憶階層を評価する。マルチコアのシステムシミュレータgem5[2]と消費電力を見積もるシミュレータMcPAT[3]を用いる。ベンチマークプログラムにはSPEC CPU 2006[4]を用いる。

表1 キャッシュ構成

	L1C	L2C	LLC
構成1	SRAM	SRAM	SRAM
構成2	SRAM	SRAM	ap-STT-MRAM
構成3	SRAM	ap-STT-MRAM	ap-STT-MRAM

SRAMについては、回路を構成するトランジスタに注目する。一般に、高速なトランジスタは大きなリーク電流電力を消費し、一方で低速なトランジスタではリーク電流電力が小さくなる。そこで、以下の2つの場合を検討する。すなわち、全ての階層のSRAMで高速なトランジスタを利用する場合（場合1）と、高速性を求められるL1Cでのみ高速なトランジスタを採用し、それ以外の階層では低速かつ低リークなトランジスタを利用する場合（場合2）である。

シミュレーションで仮定するプロセッサとキャッシュの諸元は表2に示すとおりである。

表2 諸元

プロセッサ	4-core, 2GHz, Out-of-Order Execution
L1C(I)	32KB, 2-way Set-Associative, 64B block
L1C(D)	32KB, 2-way Set-Associative, 64B block
L2C	256KB, 8-way Set-Associative, 64B block
LLC	32MB, 16-way Set-Associative, 64B block

図1に消費電力を示す。場合1と場合2のそれぞれで構成1を1として、構成2と3を正規化している。場合1と2の結果を比較出来ないことに注意されたい。図中の静的電力がリーク電流電力を示している。構成1から3へ変更することで、場合1では80%の、場合2では1%の消費電力を削減出来た。場合2では低リークのトランジスタを利用しているため、そもそも構成1の消費する電力が小さく、ap-STT-MRAMを採用することによる効果も小さくなる。

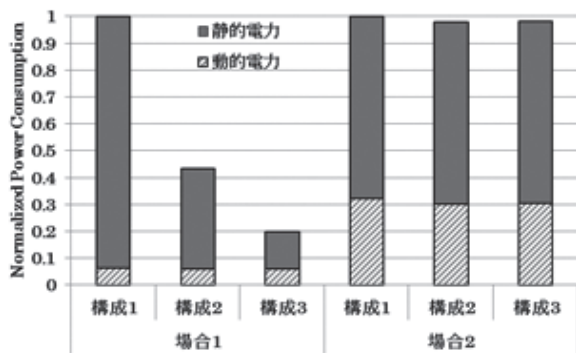


図1 消費電力

図2にはEDP (Energy-Delay Product, エネルギー遅延積)を示す。EDPは消費エネルギーと処理時間とを掛け合わせた値であり、エネルギー利用効率を評価するための指標として広く利用されている。構成1から3へ変更することで、場合1では81%の、場合2では7%のEDP改善が出来た。場合2での効果が小さい理由は図1の場合と同様である。

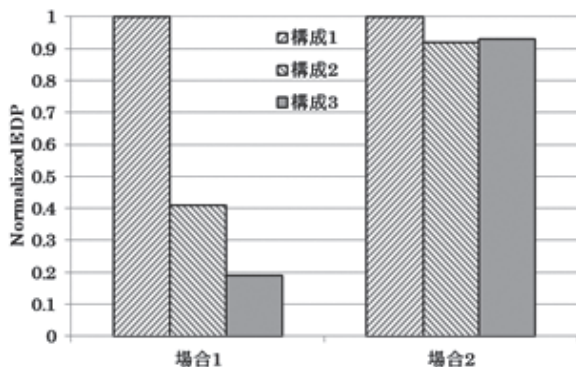


図2 エネルギー遅延積

L2CとLLCとにap-STT-MRAMを採用することで消費電力を削減し、エネルギー利用効率を改善出来る。しかし、低リークなSRAMを不揮発性メモリに置き換えるだけでは大幅な消費電力削減は見込めないことが確認された。今後は、積極的にキャッシュメモリの電源を遮断する技術等の検討が必要である。

2. コア数と周波数の電力への影響

現在のプロセッサは、マルチコアが主流である。微細化技術が進展することで、プロセッサに搭載されるコア数は今後も増加すると予想される。コア数が増加するにたがって、プロセッサの性能を高く維持することと消費電力を低く抑えることとの両立が問題となる。本研究ではプログラム実行時の最適なコア数と動作周波数を探索し、エネルギー利用効率を改善する手法を検討した。

提案手法を図3にまとめる。本手法では、プログラムを仮実行してプロファイル情報を収集し、当該プログラムに対して適切なコア数と動作周波数を決定し、そのもとでプログラムの本実行を実施する。

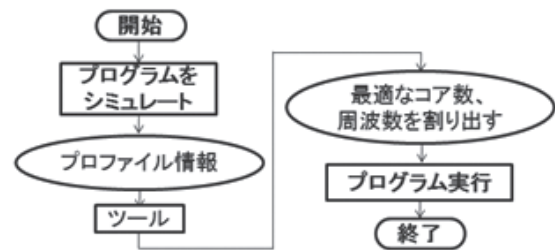


図3 コア数と周波数の決定手法

上記の手法をシミュレーションにより評価する。まず、コア数は1コア、2コア、そして4コアの間で変化させる。一方動作周波数は、0.3GHz間隔で1GHzから2.8GHzまで変化させる。マルチコアのシステムシミュレータgem5[2]と消費電力を見積もるシミュレータMcPAT[3]を用いる。ベンチマークプログラムにはSPEC CPU 2006[4]を用いる。

SPEC CPU 2006は多数のベンチマークプログラムを集めたものであるが、401.bzip2のみの結果を図4～6に示す。図4は消費電力、図5は実行時間、そして図6はEDPである。

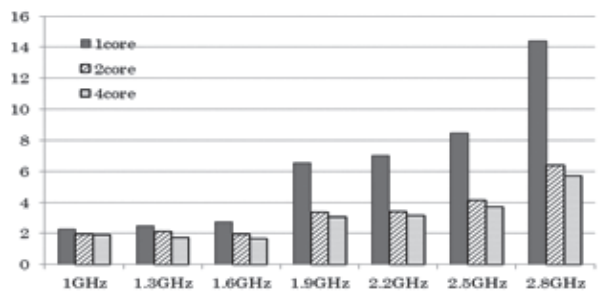


図4 消費電力

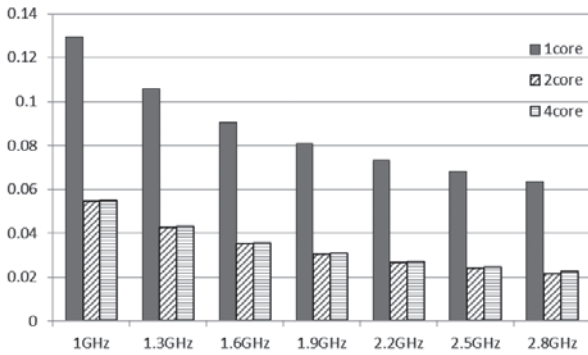


図5 実行時間

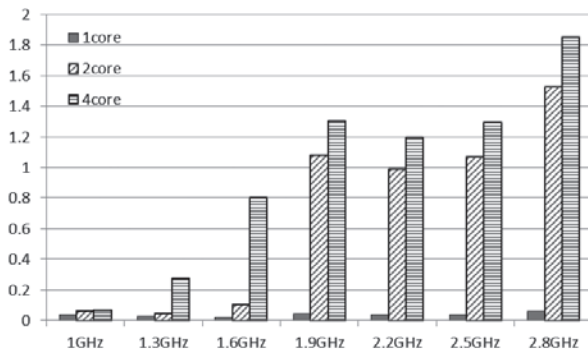


図6 エネルギー遅延積

これらの結果から、電力利用効率が最適となるコア数と動作周波数の組み合わせは、1コアと1.6GHzであることが分かる。性能が最も高いと予想される2.8GHzでの4コア動作時と比較すると、EDPが99%も改善されている。残念ながら当然のごとく性能は低下し、実行時間は約4倍に大きくなった。バスやメモリなどの共有リソースで競合が発生することで各プログラムの処理が妨げられることが原因であると予想される。コア数と動作周波数が大きくなるにしたがい、処理が妨げられている間の無駄な時間に消費させる電力が無視出来なくなる。そのため、他のプログラムと同時に並列実行した場合に、電力利用効率が著しく悪化してしまうプログラムが存在することになる。このような特徴を持つプログラムは、他のプログラムと独立して処理の方がエネルギー利用効率が高くなり、1コアで実行するのが適切である。

提案手法を適用することで、エネルギー利用効率を改善出来ることが確認出来た。401.bzip2の場合には、実行時間を4倍にするコストを払うことで、エネルギー利用効率を100分の1に改善出来る。IoTデバイスでは高い処理性能を要求されないアプリケーションが存在すると思われ、そのような応用には適切な手法である。

3. デバイス材料に関する検討

SiC(0001)表面上に成長させたグラフェンと基板間にパラジウム原子(Pd)を挿入したサンプルを作製し、最表面の構造および電子状態を調べた。これまでに知ら

れていた金属原子を挿入する研究とは異なり、Pd原子とグラフェンの間には電荷のやりとりがなくグラフェンは電氣的に中性であることが分かった。しかしSiC基板とPd原子間には電荷移動があることが分かった。

【謝辞】

本研究の一部は、福岡大学研究推進部の研究経費によるものである。(課題番号:147006)

【参考文献】

- [1] Hiroki Noguchi, et al., Highly Reliable and Low-Power Nonvolatile Cache Memory with Advanced Perpendicular STT-MRAM for High-Performance CPU, Symposium on VLSI Circuits, June 2014.
- [2] Nathan Binkert, et al., The gem5 Simulator, ACM SIGARCH Computer Architecture News, Vol. 39, No. 2, May 2011.
- [3] Sheng Li, et al., McPAT: an Integrated Power, Area, and Timing Modeling Framework for Multicore and Manycore Architectures, 42nd International Symposium on Microarchitecture, December 2009.
- [4] <https://www.spec.org/cpu2006/> (2017.11.07 access).

【研究業績】

1. Toshinori Sato and Yoshimi Shibata, Optimizing Power Heterogeneous Functional Units for Dynamic and Static Power Reduction, Electronics, Vol. 3, No. 4, December 2014.
2. 岡本駿, 佐藤寿倫, 次世代不揮発性メモリを用いた省電力キャッシュに関する研究, 電子情報通信学会総合大会ISS特別企画「学生ポスターセッション」, 2015年3月.
3. 林田哲, 佐藤寿倫, 動作時のコア数と周波数がプログラムあたりの消費電力に与える影響の考察, 電子情報通信学会総合大会ISS特別企画「学生ポスターセッション」, 2015年3月.
4. Kazuma Yagyu, Kazutoshi Takahashi, Hiroshi Tochiyama, Hajime Tomokage, and Takayuki Suzuki, Neutralization of an Epitaxial Graphene on the SiC(0001) by Means of Palladium Intercalation, 13th International Conference on Atomically Controlled Surfaces, Interfaces and Nanostructures, October 2016.
5. Kazuma Yagyu, Kazutoshi Takahashi, Hiroshi Tochiyama, Hajime Tomokage, and Takayuki Suzuki, Neutralization of an Epitaxial Graphene

Grown on a SiC(0001) by Means of Palladium
Intercalation, Applied Physics Letters, Vol. 110, No.
13, March 2017.