

ピエゾ抵抗素子内蔵 TEG チップを用いた NCF
接続フリップチップパッケージにおける
残留応力に関する研究

2016 年

江南 俊夫

目次

第1章 緒論	1
1.1 研究背景	1
1.2 研究目的	7
1.3 論文構成	9
第1章の参考文献	11
第2章 アンダーフィル材(CUF,NCF)を用いたFCBパッケージの残留応力評価.....	14
2.1 理論	14
2.1.1 ピエゾ抵抗効果を用いた応力測定原理	14
2.1.2 フリップチップ工法とアンダーフィル材.....	16
2.2 実験方法	19
2.2.1 TEGチップと基板の構成.....	19
2.2.2 TEGチップのpiezo抵抗素子の物性値の測定方法	23
2.2.3 CUFを用いたFCB工程による応力変化の測定方法.....	27
2.2.4 NCFを用いたFCB工程による応力変化の測定方法.....	30
2.2.5 FCBパッケージの加熱試験方法	32
2.2.6 FCBパッケージのリフロー試験方法	36
2.3 実験結果	37
2.3.1 TEGチップのpiezo抵抗素子の物性値の測定結果	37
2.3.2 FCB工程による応力変化の測定結果	39
2.3.3 FCBパッケージの加熱試験結果	45

2.3.4	FCB パッケージのリフロー試験結果	48
2.4	考察	51
2.4.1	FCB 工程による応力変化	51
2.4.2	FCB パッケージの加熱試験による応力変化	55
2.4.3	FCB パッケージのリフロー試験	57
	第 2 章の参考文献	59
第 3 章	NCF を用いた FCB パッケージ構造と残留応力	60
3.1	NCF 工法におけるチップ厚・基板種が残留応力に及ぼす影響評価	60
3.2	実験方法	61
3.2.1	FCB 工程による応力変化の測定方法	61
3.2.2	FCB パッケージの加熱試験方法	67
3.3	実験結果	68
3.3.1	FCB 工程による応力変化の測定結果	68
3.3.2	FCB パッケージの加熱試験結果	73
3.4	考察	77
3.4.1	FCB 工程による応力変化の測定	77
3.4.2	FCB パッケージの加熱試験	79
第 4 章	ピエゾ抵抗素子による残留応力評価とそり測定	80
4.1	ピエゾ抵抗素子による残留応力評価とそり測定	80
4.2	実験方法	81
4.2.1	シャドーモアレ法によるそり測定原理	81
4.2.2	シャドーモアレによる測定方法	83

4.3 実験結果	84
4.3.1 IP0304_SUB 有機基板使用の FCB パッケージのシャドーモアレ法によるそり測定結果	84
4.3.2 IP0305_Si シリコンインターポーザ基板を用いた FCB パッケージのシャドーモアレ法によるそり測定結果.....	90
4.4 考察	93
第 4 章の参考文献	94
第 5 章 結論	95
謝辞	97
関連発表論文	98
投稿論文.....	98
国際会議.....	99

第 1 章 緒論

1.1 研究背景

近年、スマートフォンやタブレット PC に代表される携帯電子デバイスの開発が活発であり、そこに搭載される電子部品は、小型化、軽量化、薄型化、多機能化等、様々な要求に応えるために技術開発が進められている[1,2]。半導体デバイスの小型化、多機能化はシリコンウエハの微細配線化(ムーアの法則)に従い、18 カ月で 2 倍の集積度となるように向上してきた。しかし、半導体の微細化は、ステッパーと呼ばれる露光装置の描画性能に依存しているため、リソグラフィ技術等の課題により限界が近いと言われている[3,4]。この状況から、半導体デバイスのさらなる小型化、高速化、多機能化には、ムーアの法則とは異なる More than Moore という考え方が求められている[5,6]。

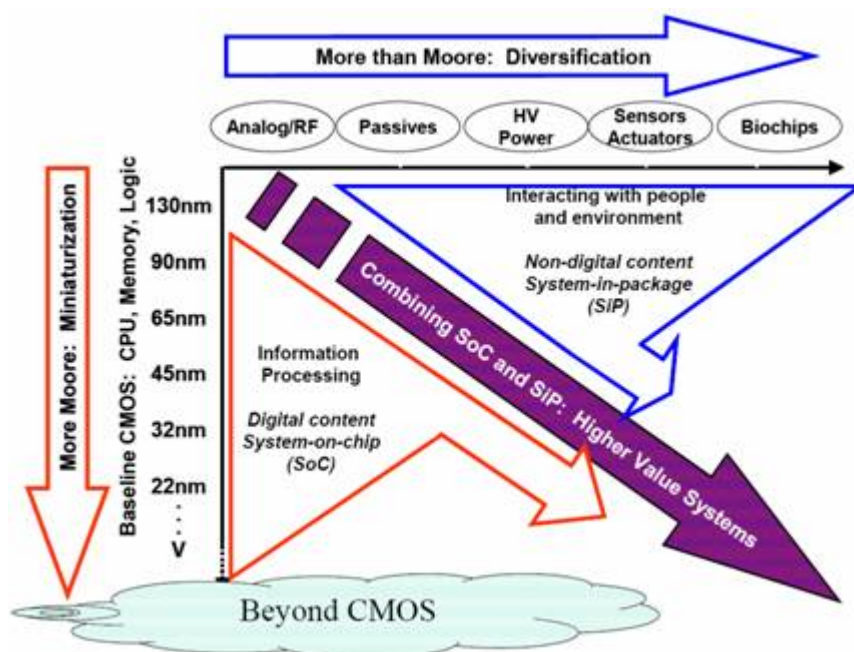


図 1.1 ムーアの法則とモア・ムーアの法則[6]

その実現には 1 つのパッケージ内に複数個の LSI (Large Scale Integration)を搭載する SiP (System in a Package)や、チップが内蔵されたパッケージ同士をソルダペースト、もしくはフラックスを用いて BGA(Ball Grid Array)接合する PoP (Package on Package)等の技術などの縦方向にチップを積み重ねる 3 次元的な考えが発展してきた。これらの技術は三次元実装技術と呼ばれている。また、これまでパッケージ内の端子間の接続方法は、基板上に半導体チップをフェイスアップで実装し、半導体チップの電極と基板の電極をワイヤで接続する WB (Wire Bonding)方式が主流であったが、信号の高速伝送、パッケージの小型化を目的にフェイスダウンで半導体チップのワイヤレスボンディングを行う FCB(Flip Chip Bonding)方式へ変化しつつある。さらに、FCB 技術をベースとした COC (Chip on Chip)や TSV (Through Silicon Via)を用いた積層構造をもつ多機能モジュールパッケージも実用化が進んでいる[7-14]。

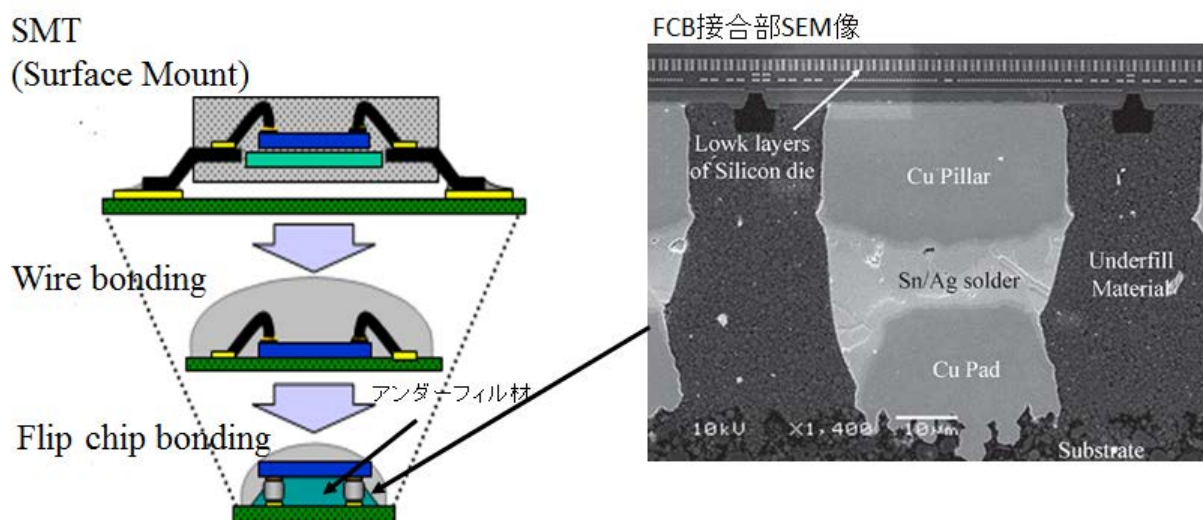


図 1.1 パッケージの変化 [7],[8]

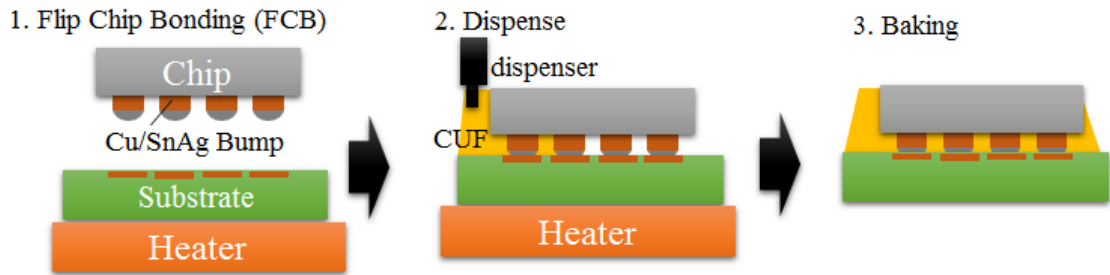
加えて、電子デバイスの小型化、軽量化、薄型化、多機能化等、様々な要求に応えるために、基板に IC チップなどの能動部品や抵抗、キャパシタなどの受動部品を内蔵する部品内蔵基板の研究も進められている[15-17]。

一方で、三次元実装技術の発展に伴い、半導体パッケージはセラミックスや金属、樹脂等、特

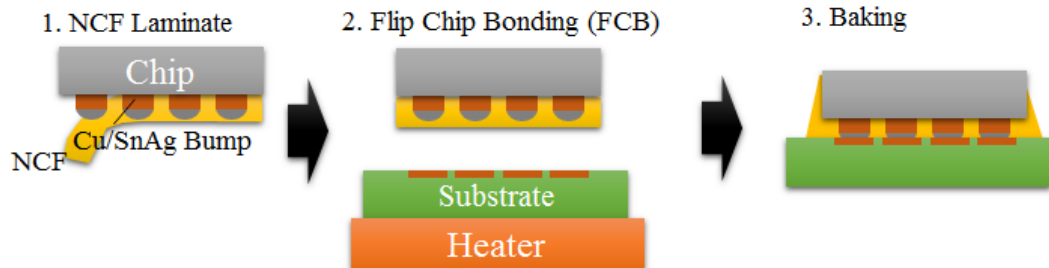
性の大きく異なる材料で構成される事が一般的になってきた。これらの材料の熱膨張係数 CTE (Coefficient of Thermal Expansion)との差によって、チップ表面の半導体性能そのものに影響を与え、また実装において発生するパッケージの反りや残留応力の発生が接合部のクラック等 [18]、様々な機械的信頼性不良の問題を引き起こす原因となっている。

そこで、実装工程でパッケージに生じる残留応力の評価方法として、ピエゾ抵抗効果を利用した応力測定用テストチップが開発され、応用例も報告されている [19-25]。また、汎用テストチップも市販されており半導体チップ表面に生じる残留応力を比較的精度良く実測する事ができる [26]。ただし汎用テストチップでは形状や配置に制限があるため、様々な種類の製品の評価に対応できるわけではない。この点を補う方法としては有限要素法を用いたシミュレーションによる応力解析が挙げられる [27-29]。FCB による接合部の信頼性を確保するために用いられる封止材 UF (Under fill) のパッケージに与える応力の影響も有限要素法によって解析される。解析に用いられる封止材には図 1.2 に図示するような CUF(Capillary Under Fill)や NCP(Non Conductive Paste)、NCF(Non-Conductive Film)がある。CUF は現在主流の FCB 後にチップ基板隙間に注入する液状タイプの UF 材で NCF および NCP は FCB 前にチップ基板隙間に入れる UF である。NCF および NCP は将来 FCB 冷却時のチップ基板間の CTE 差で生じるバンプクラックを保護する封止材として CUF からの置き換えが有望視されている。

■ Sidefill process Using Capillary Under Fill (CUF)



■ FCB Process Using Non Conductive Film (NCF)



■ FCB Process Using Non Conductive Paste (NCP)

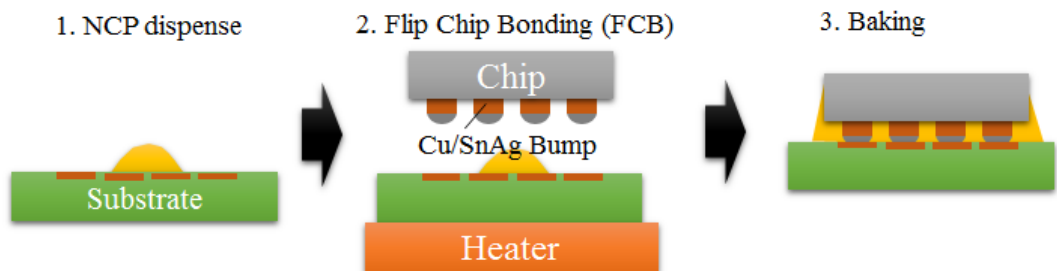


図 1.2 CUF、NCF および NCP について

しかし、これら CUF、NCF および NCP の樹脂粘弾性を考慮した応力解析には粘弾性特性の評価およびモデル化にかかる時間とコストが問題となっている。さらに、CUF、NCF および NCP に一般的に使用されるエポキシ樹脂のような熱硬化性の樹脂はガラス転移点温度 T_g 付近で非線形特性を持つため、特性の制御が困難である。したがって、シミュレーション結果が実測値と異なる事例が頻繁に発生する。

そこで、簡単な評価方法としてピエゾ抵抗ゲージを利用したテストチップ TEG (Test Element Group) による計測と有限要素法熱応力解析を組み合わせた評価方法や、CUF を用いて FCB により実装されたパッケージを高温環境下に置き、温度を変化させた状態におけるチップ表面

の反りから見た応力変化を DIC (digital imaging correlation) と有限要素法を用いて解析する方法が提唱されている[30-31]。

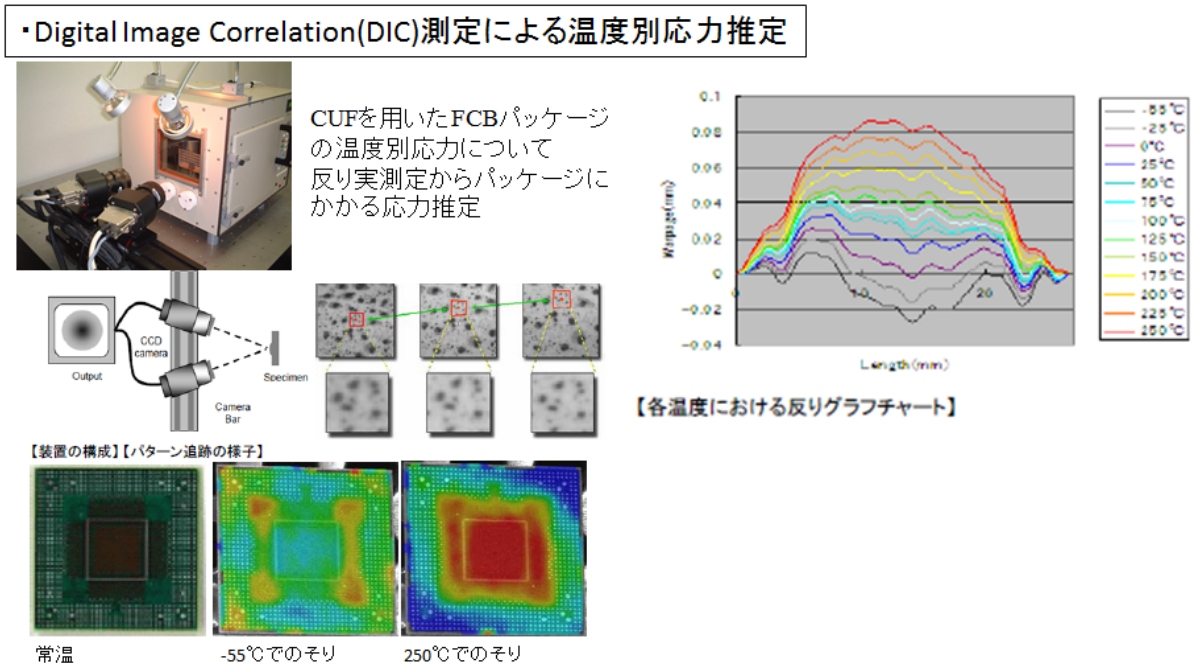


図 1.3 DIC 測定手法を用いたパッケージの温度別そり測定[32]

以上のように、現在の半導体パッケージの応力解析は、有限要素法を用いたシミュレーションとパッケージの実際のそり変形を測定して、その応力分布と各温度別影響度を相互比較し、相対的に算出している。しかしながら実パッケージのそり変形は、ある特定温度での内部応力トータルを視覚的に外から測定したもので算出している。本手法は、パッケージの構成（厚み、大きさ）で異なり、材料由来か構造由来かを層別することは困難であった。そのため、パッケージ設計では、都度上、構造と材料のトライアンドエラーと経験で最適化を行う必要があった。また FCB したパッケージを UF 封止することでパッケージに発生する応力を緩和してきたが、NCF の開発が進むにつれ、CUF と信頼性面で差があることが経験的に判ってきている。

UF に求める特性として、初期のチップおよび基板への接着力と HST (High Temperature stress Test)、PCT (Pressure Cooker Test)および TCT (Thermal Cycle Test)等の信頼性評価

試験での接着力劣化防止、低揮発&ボイドなどがあげられる。CUF 使用のパッケージの場合、不良はチップ端部バンプの電氣的接続不良やチップコーナー部の CUF フィレットのクラックの比率が高い。NCF の場合は、端部での不良比率は高いが、CUF ほど顕著に表れてこないことから、CUF と NCF では応力の緩和の仕方や分布に違いがある可能性が高いと考えているが、現在のシミュレーション手法でその事象を説明した研究事例はない。

また CUF や NCF を介した FCB 実装パッケージの常温におけるピエゾ抵抗素子内蔵 TEG チップを用いた残留応力変化を実測した研究はあるが、チップ内での引張・圧縮応力の実応力分布や低温高温環境下における残留応力変化を実測した研究はまだ行われていない。またチップ厚みや基板厚み、基板種（有機基板、シリコン基板）、NCF 種を変化させて FCB 実装パッケージに用いた場合の残留応力変化を実測した研究はまだ行われていない。

今日までの設計手法でもパッケージ開発を行うことはできたが、チップ厚みが従来の 100 μm から 50 μm 、基板厚みが 300 μm から 100 μm と薄くなり、そのパッケージの基板配線の微細化、接合部のバンプと呼ばれる電極部分が微細化、近接化（狭ピッチ化）されるにつれて、応力による微細配線の断線や、加温時の樹脂膨張による微細バンプへの応力集中での破壊/剥離が顕著となり、“そり”の現象を外的に測定評価するだけでなく、内部発生する現象を定量的に捉えて、低応力施策が必要となっている。

1.2 研究目的

本研究では、まず前述したような研究背景から、以下の CUF と NCF の FCB 実装パッケージにかかる応力の違いを以下の3つのアプローチから明らかにすることを目的とする。

①CUF と NCF 使用パッケージのチップ内部での発生応力の違い

具体的には、 piezo 抵抗素子内蔵 TEG チップを用いて FCB 実装パッケージの各プロセスの残留応力を実測して、NCF と比較した場合、CUF 使用時チップ端部での不具合が何故大きくなる傾向を示すのか考察する。

②信頼性評価を想定した加熱プロセスおよびリフロープロセスにおける CUF、NCF の発生応力の違い

具体的には、FCB 実装パッケージを高温環境下に置き、温度を変化させた状況における残留応力変化の実測及びリフロー信頼性の残留応力を実測する。

ただ本研究に用いる piezo 抵抗素子は熱に対して非常に敏感でその発生する応力を実測定することは非常に難しく前例がなかった。

高温化での測定をするために、高温化での素子のキャリブレーションを行う必要がある。そこで高温化での測定方法に福岡大学で開発した piezo 抵抗素子を高温環境下で安定化後その高温環境中で4点曲げ試験できる装置を用いて、各温度別での piezo 抵抗素子の応力・抵抗値感度曲線を作成した。

その後、CUF と NCF の双方で FCB 実装したパッケージを実際の高温環境下および吸湿リフロー下に置き、piezo 抵抗素子に掛かる抵抗値を前述の応力・抵抗値感度曲線から応力に換算して、チップへの実応力とその応力分布を世界で初めて実測定を行い、その結果から CUF と NCF での信頼性への影響要因を考察する。

③チップ厚みや基板厚み、基板種（有機基板、シリコンインターポーザ基板）、 T_g 、熱線膨張係数 CTE 材料特性の異なる NCF での違い

具体的には、チップ厚みや基板厚み、基板種（有機基板、シリコンインターポーザ基板）、 T_g 、熱線膨張係数 CTE 材料特性の異なる NCF を用いて、ピエゾ抵抗素子内蔵 TEG チップを用いた FCB 実装パッケージの残留応力の実測、パッケージを高温環境下に置き、温度を変化させた状況における残留応力の変化を実測検証とシャドーモアレ法を用いたパッケージ反り測定を行い、FCB 実装パッケージに最適な NCF の特性を検証する。

1.3 論文構成

本論文は、緒論、結論を含めて全 5 章より構成されている。以下各章の概要について述べる。

第 1 章では、本論文の研究背景、目的について述べた。

そこで本研究では、先述の 3 つの目的について、研究を実施し、パッケージ内部に発生する残留応力を定量化し、将来の材料設計に必要なパッケージの構造と材料について考察したので報告する。

第 2 章では、 piezo 抵抗素子を内部回路として有する TEG チップを用いて、有機基板上に FCB 実装を行い、封止材無しでの TEG チップと有機基板の熱膨張係数の差により発生する残留応力を定量化、また現在主流で使用されている封止材 CUF (Capillary Under Fill) を TEG チップと基板隙間に毛細管現象を用いて注入封止したときの発生する残留応力、及び次世代薄パッケージ用封止材として期待される NCF(Non-Conductive Film)を用いて TEG チップと有機基板の熱膨張係数の差により発生する残留応力を定量化およびチップ内応力分布を明らかにし、また得られたパッケージを直接加温してその内部応力をリアルタイム測定し、チップ内での応力分布と熱によるその変化を定量化した。以上の結果より CUF と NCF の封止方法の違いによる信頼性劣化に及ぼす影響を明らかにした。

また CUF 及び NCF を使用したパッケージを用いて吸湿リフロー処理での残留応力を比較解析し、TEG チップのリフロー後の剥離検出性能を評価した。CUF と NCF 比較から、NCF のチップコーナーに配置されたバンプ保護性やその程度を定量化という成果が得られ、結果は、Transactions of The Japan Institute of Electronics Packaging Vol.8, No.1,2015 及び Proceedings of the International Conference on Electronics Packaging (ICEP2015)に掲載されたので、得られた研究成果について詳しく述べる。

第 3 章では、第 2 章で piezo 抵抗素子内蔵 TEG チップを用いた加熱評価試験手法を確立し、その有効性を確認出来たので、ガラス転移温度 T_g 、熱線膨張係数 CTE の材料特性の異なる NCF、チップ厚み、基板種を有機基板とシリコンインターポーザ基板に変えて FCB 実装で発生する残留応力の定量化と加温温度別の残留応力の定量化し、将来微細パッケージに必要とさ

れる低応力基板構成・材料の指標化を行った。

結果は、Proceedings of 17th Electronics Packaging Technology Conference (EPTC2015) 及び Transactions of The Japan Institute of Electronics Packaging ,2016 に掲載されたので、得られた研究成果について詳しく述べる。

第4章では、第3章で得られた結果と従来の外的な測定手法であるシャドーモアレ測定で得られるそのデータとの相関性を確認して、本研究の有効性を確認した。結果は、Proceedings of the International Conference on Electronics Packaging (ICEP2016) に掲載及び Transactions of The Japan Institute of Electronics Packaging ,2016 に掲載が決定されたので、得られた研究成果について詳しく述べる。

第5章では、本論文の結論を述べる。

ピエゾ抵抗素子内蔵 TEG チップを用いて NCF を用いたフリップチップ型のパッケージの実装後のチップ内応力分布とその大きさを明らかにし、NCF のチップコーナーに配置されたバンプ保護性やその程度を定量化という成果が得られた。またパッケージを実際に熱処理環境下に置いたときの中に発生する実応力値を測定する手法を開発し、その手法を用いてチップ厚、基板厚、基板種の影響度を実応力値から明確にした。また従来の外部測定手法であるシャドーモアレ法と本手法を比較し、本手法の有効性を明らかにした。本研究により、次世代薄厚フリップチップパッケージに必要な NCF 材料特性設計が可能になり、NCF 開発を加速することが出来た。

開発した NCF を用いた成果は、Proceedings of the Electronic Components and Technology Conference (ECTC2016) , pp122-127, May 2016 に掲載された。

第 1 章の参考文献

- [1] 電子情報技術産業協会,” 2007 年度版日本実装技術ロードマップ ”, 2007.
- [2] 嶋田勇三,” 先端実装技術の動向と今後の展望”, 電子情報実装学会論文誌, Vol.j88-C, p.827, 2005.
- [3] G.E.Moore,” Cramming more components onto integrated circuits”, Electronics, Vol.38, p.114, 1965.
- [4] R.R.Schaller,” Moore’s law past, present and future”, IEEE Spectrum, 1997.
- [5] ITRS, "International Technology Roadmap For Semiconductors", 2007.
- [6] ITRS, "International Technology Roadmap For Semiconductors", Introduction p10, 2009
- [7] <http://www.rins.ricoh.co.jp/technology/img/barechip-01.gif>
- [8] Y.Orii, "Micro Structure Observation and Reliability Behavior ",Transactions of The Japan Institute of Electronics Packaging p83 Vol. 4, No.1, 2011
- [9] 中島宏文,” 半導体パッケージの基礎技術”, ED リサーチ社, 2008.
- [10] 高島晃,” SiP 開発にむけた要素技術”, 電子材料, Vol.44, p.23, 2005.
- [11] 中村吉宏,” 半導体実装基板材料の歩みと今後の技術動向”, 日立化成テクニカルレポート, Vol.55, p.25, 2013.
- [12] 津久井勤,” 電子機器の三次元高度実装化と信頼性保証について”, エレクトロニクス実装学会誌, Vol.11, p.317, 2008.
- [13] 塚田裕,” 最近のパッケージ技術開発動向”, エレクトロニクス実装学会誌, Vol.17, p.163, 2014.
- [14] 田久真也,” 薄型チップの高強度化”, エレクトロニクス実装学会誌, Vol.10, p.423, 2007.
- [15] 福岡義孝,” 受動チップ部品/能動デバイス混載内蔵配線板の開発と実用化”, エレクトロ

- ニクス実装学会誌, Vol.11, p.260, 2008.
- [16] 福岡義孝, ” 能動・受動素子混載内蔵配線板技術”, エレクトロニクス実装学会誌, Vol.13, p.351, 2010.
- [17] 福岡義孝, ” 部品内蔵配線技術の信頼性特性と電気特性”, REAJ 誌, Vol.33, p.170, 2011.
- [18] 若林猛, ” Embedded Wafer Level Package 実装技術”, エレクトロニクス実装学会誌, Vol.10, p.380, 2007.
- [19] 若林猛, ” 部品内蔵技術と次世代実装材料:WLP&EWLP 技術の変遷と今後の実装技術”, エレクトロニクス実装学会誌, Vol.12, p.120, 2009.
- [20] C.S.Smith, ” Piezoresistance Effect in Germanium and Silicon”, Physical Review, Vol.94, p42, 1954
- [21] D.R.Edward, ” Test structure methodology of IC package material characterization”, IEEE Transactions on Components, Packaging, and Manugactureing Technology, Vol.6, p560, 1983.
- [22] 三浦英生, ” IC プラスチックパッケージ内応力測定素子の開発とその応用”, 日本機械学会論文集, Vol.53, p.1826, 1987.
- [23] Hamada, ” A new aspect of mechanical stress effects in scaled MOS devices”, IEEE Trans. Electron Devices, Vol.38, p.895, 1991.
- [24] Z.Z.Wang, ” Piezoresistive simulation in MOSFETs”, Sensor and Actuators A, Vol.37, p.357, 1993.
- [25] K.Matsuda, ” Stress-induced effects on depletion-layer capacitance of metal-oxide-semiconductor capacitors”, Appl. Phys. Lett., Vol.83, p.4351, 2003.
- [26] Technical Report WALTERS Co.,LTD.
- [27] R.C.Jaeger, ” CMOS stress sensors on (100) silicon”, IEEE Journal of Solid-State Circuits, Vol.35, p.85, 2000.

- [28] J.C.Suhling, "Silicon Piezoresistive Stress Sensor and Their Application in Electronic Packaging", IEEE Sensors Journal, Vol.1, p.14, 2001.
- [29] D.Y.R.Chong, "Finite element parametric analysis on fine-pitch BGA (FBGA) packages", Proceedings of IPACK03, 2003.
- [30] 小金丸正明, "ピエゾ抵抗テストチップと有限要素法解析を用いた樹脂封止に起因する半導体チップ表面の残留応力評価", エレクトロニクス実装学会誌, Vol.9, p.186, 2006.
- [31] Y.Orii, "Micro Structure Observation and Reliability Behavior of Peripheral Flip Chip Interconnections with Solder-Capped Cu Pillar Bumps", Transactions of The Japan Institute of Electronics Packaging, Vol.4, p.73, 2011.

第 2 章 アンダーフィル材(CUF,NCF)を用いた FCB パッケージの残留応力評価

2.1 理論

2.1.1 ピエゾ抵抗効果を用いた応力測定原理

室温における低不純物濃度バルクシリコンのピエゾ抵抗効果が Smith 氏により研究されて以来、Si のピエゾ抵抗効果についての多くの研究報告が挙げられている[1]。そこで、半導体パッケージの構成を変更することなく応力測定センサを内蔵するには、Si チップ内に拡散抵抗層を形成し、ピエゾ抵抗効果を用いて応力を測定する方法が一般的であることが知られている。よってピエゾ抵抗効果について検討した。

図 2.1 に Si チップに形成されたピエゾ抵抗素子の概略図を示す。ピエゾ抵抗効果とは、半導体素子として使用される Si 結晶内に外力が作用すると、結晶内に歪みが発生し、さらに電気伝導にも歪が生じる。つまり、結晶内に応力が作用すると、結晶格子にひずみが生じ、結晶内に存在する電子の伝導帯あるいは価電子帯におけるエネルギー状態が変化するため、半導体のエネルギーギャップや電気伝導を担うキャリア（電子あるいは正孔）の有効質量に変化が生じる。このため、結晶内部におけるキャリア密度やキャリアの移動度が変化し、結晶の電気抵抗も変化する現象である。

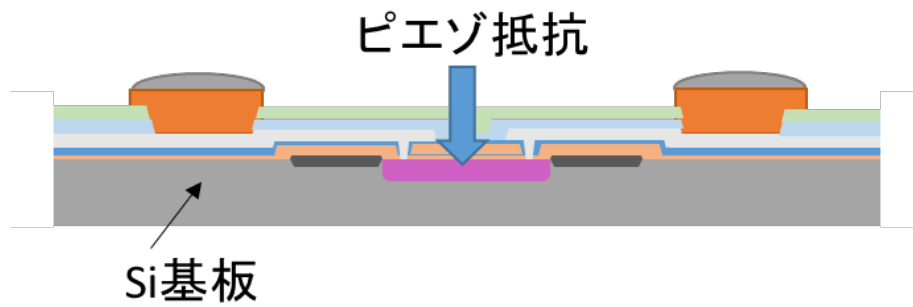


図 2.1 Si チップに形成されたピエゾ抵抗素子

式(2.1)は、最も簡単化されたピエゾ抵抗の応力の関係式である[2]。

$$\frac{R_1 - R_0}{R_0} = S \times \sigma \quad (2.1)$$

ここで、 σ はピエゾ抵抗に印可された応力、 S はピエゾ抵抗の応力感度、 R_0 は実装工程前のピエゾ抵抗の抵抗値、 R_1 は実装工程後のピエゾ抵抗の抵抗値(単位： Ω)を示す。したがって、実装工程で発生した残留応力を測定するためには、実装工程前のピエゾ抵抗の抵抗値 R_0 と実装工程後のピエゾ抵抗の抵抗値 R_1 を測定することで算出することができる。しかし、ピエゾ抵抗の抵抗値と応力感度 S は温度変化によってとても敏感に変化する。したがって、正しい応力値を測定するためには、温度のコントロールが重要であるため、補正項を加えた式(2.2)を用いて算出することができる[3]。

$$\frac{R_1(T_1) - R_0(T_0)}{R_0(T_0)} = (\beta_1(T_1 - T_0) + \beta_2(T_1 - T_0)^2) + (1 - \alpha(T_1 - T_0))(S \times \sigma_{(T_1)}) \quad (2.2)$$

ここで、 T_0 および T_1 はそれぞれ R_0 および R_1 測定時の温度であり、 α は応力感度 S の温度依存性を示すパラメータ、 β_1 および β_2 はピエゾ抵抗の温度依存性を示すパラメータ、 $\sigma_{(T_1)}$ は測定温度 T_1 と時の応力値を示す。応力感度 S は4点曲げ試験時の応力変化で得ることができ、応力感度 S の温度依存性 α はチップを高温環境下で温度変化させた時の4点曲げ試験時の応力変化で得ることができる[4]。また、ピエゾ抵抗の温度依存性 β_1 および β_2 はチップを高温環境下で温度変化させた時の温度と抵抗の変化率との関係で得ることができる。

2.1.2 フリップチップ工法とアンダーフィル材

近年、半導体パッケージの小型化や高性能化に伴い、半導体パッケージの実装方法も変化してきている。図 2.2 に半導体パッケージの変化を示す。リードフレーム上にチップを搭載し、ワイヤボンディングをすることで電氣的導通を持たせ、その後モールドングする SMT(Surface Mount Technology)から、配線層を形成したプリント基板上にチップを搭載し、ワイヤボンディングをすることで電氣的導通を持たせ、チップとワイヤ部分をモールドングしたパッケージへと変化してきた。そして、さらにパッケージを小型化するために、ワイヤを用いずに直接プリント基板上にチップをダウンフェイスで実装したフリップチップ構造へと変化している。

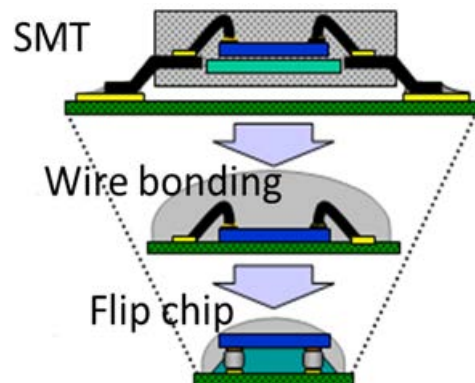


図 2.2 半導体パッケージの変化[5]

フリップチップボンディングには、様々な工法が提案されているが、最も一般的とされる工法は C4(Controlled Collapse Chip Connection)と呼ばれる工法である。半導体チップの接続端子それぞれに Sn-Ag はんだを設置する。つぎに、プリント基板のチップ実装部にフラックスを塗布した後、フリップチップボンダーでチップをピックアップする。チップをプリント基板に押し付け、チップを加熱し、はんだを融解させる。そして、チップを冷却することでチップとプリント基板を接続させる。さらに、パッケージの接合部の信頼性を保つために、一般にアンダーフィル封止と呼ばれる方法が用いられる。CUF をチップの 1 辺からキャピラリーによって塗布し、毛細管現象でチップと基板の間に浸透させる工法である。図 2.3 に CUF を用

いた FCB 実装のプロセスを示す。

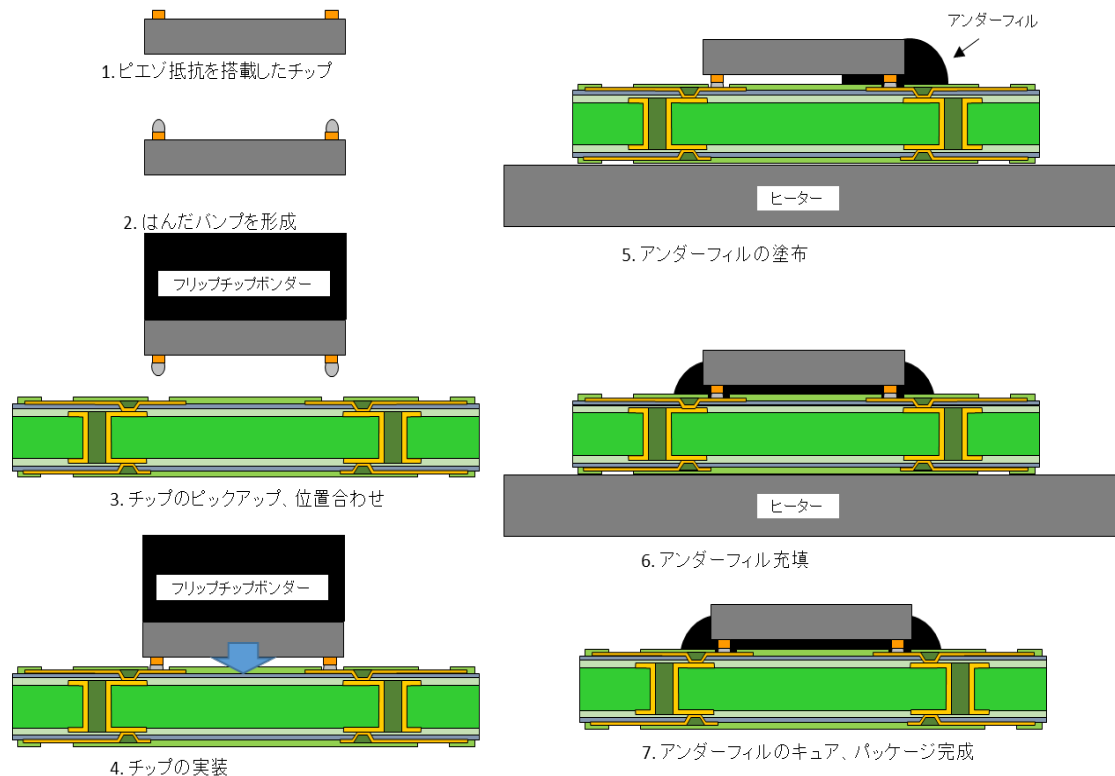


図 2.3 CUF を用いた FCB 実装プロセスフロー

このように半導体パッケージの小型化や高性能化に伴い、CUF を用いた FCB 実装が主流となっている。しかし、キャピラリーによる毛細管現象を利用した CUF の充填は、充填に時間がかかることが問題とされている。さらに、半導体パッケージの小型化や高性能化に伴い、半導体チップのバンプピッチが非常に短くなっていることから、CUF の充填が困難になってきている。

そこで NCF を用いたフリップチップ工法が注目されている。NCF を用いた FCB 実装プロセスを図 2.4 に示す。まず、半導体チップの接続端子それぞれに Sn-Ag はんだを設置し、NCF をチップ表面に貼り付ける。つぎに、フリップチップボンダーでチップをピックアップし、チップをプリント基板に押し付け、チップを加熱することではんだを融解させる。そして、チッ

プを冷却することでチップとプリント基板を接続させる。最後にベイクすることで NCF を硬化させ、パッケージの完成である。

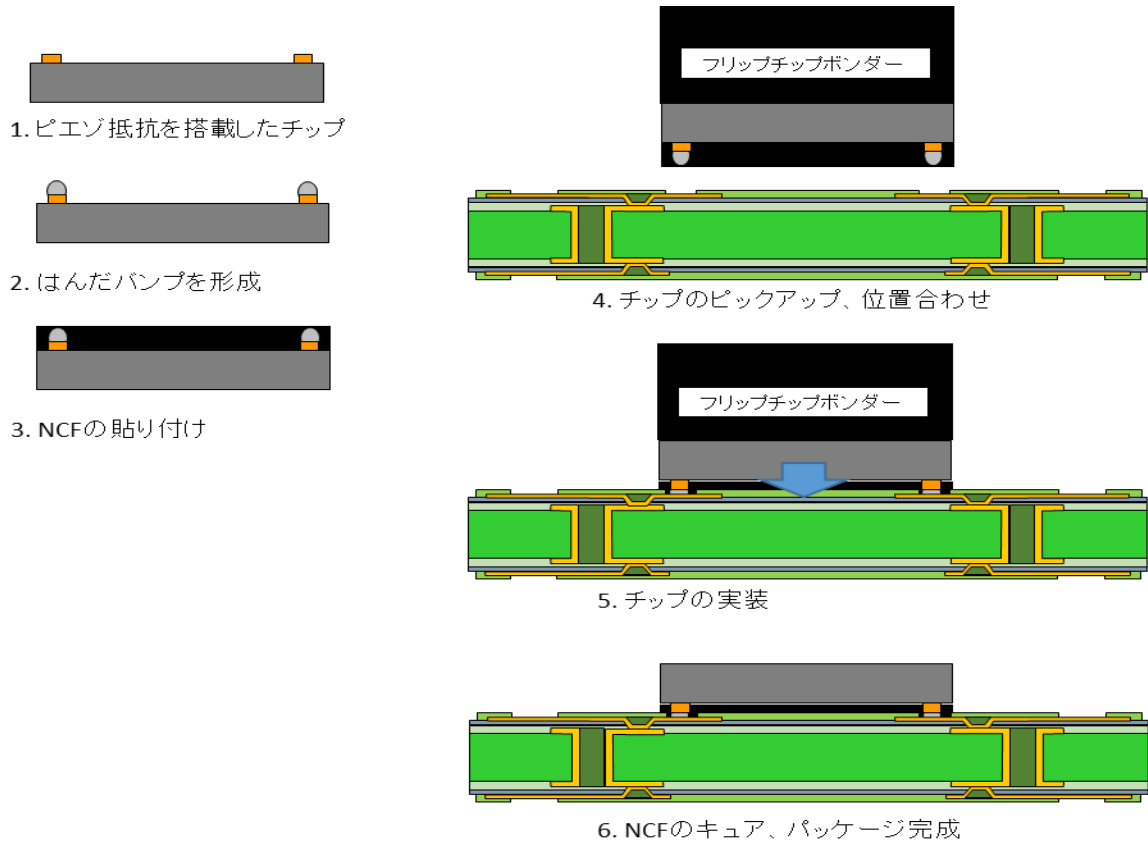


図 2.4 NCF を用いた FCB 実装プロセスフロー

2.2 実験方法

2.2.1 TEG チップと基板の構成

この研究では、応力測定のために、WALTS 社製の STAC-0101JY を使用した。図 2.5 にピエゾ抵抗素子内蔵 TEG チップの模式図を示す。このチップには、センター部分とコーナー部分にピエゾ抵抗素子が搭載されている。図 2.6 にピエゾ抵抗素子の模式図を示す。この TEG チップは、X 方向と Y 方向それぞれの成分を持つピエゾ抵抗素子が形成されている。さらに図 2.7 に STAC-TEG の断面構造を示し、表 2.1 に STAC-TEG の基本仕様を示す。

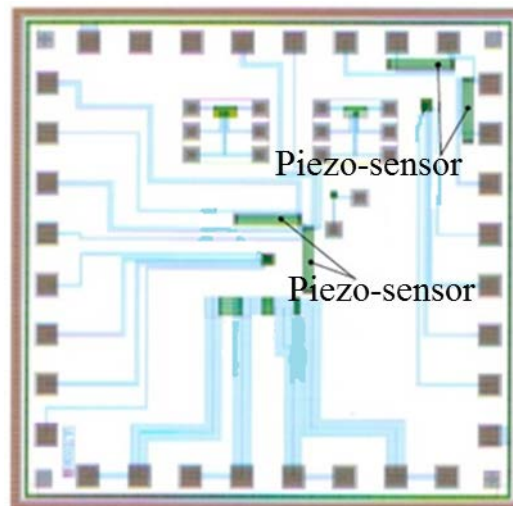


図 2.5 ピエゾ抵抗内蔵 TEG チップ

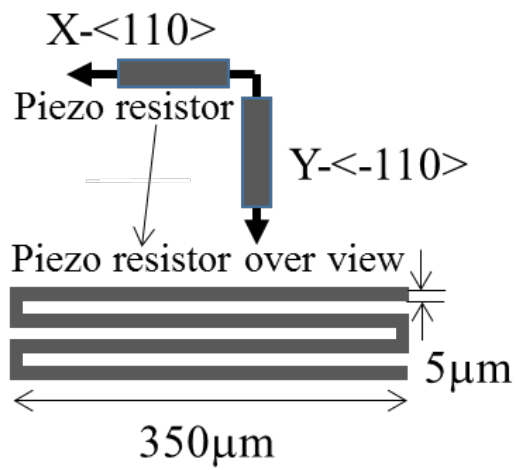


図 2.6 ピエゾ抵抗素子の模式図

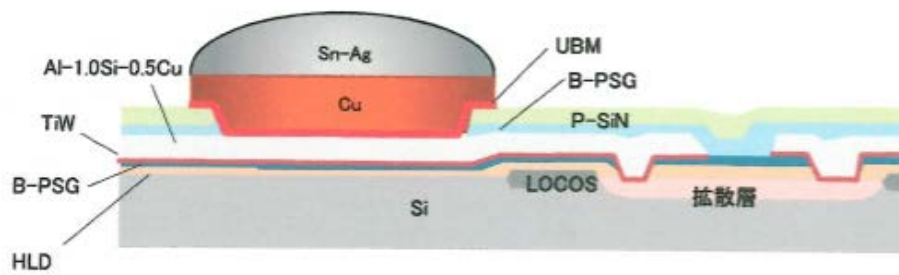


図 2.7 STAC-TEG の断面構造

表 2.1 STAC-TEG の基本仕様

基本仕様	STAC-0101JY
ウェハサイズ	6 inch
ウェハ厚	550±25μm
チップサイズ	3.0mm×3.0mm
パッドピッチ	300μm
パッドサイズ	120μm×120μm
バンプ材料	Cu/Sn-2.5Ag
バンプ高さ	20μm /20μm
バンプサイズ	φ 100μm
パッドの数	32 pad/chip
チップの数	1596 chip/wafer

次に、この研究で使用したプリント基板について示す。本プリント基板は、WALTS 社製 STAC-0201JY を用いた。図 2.8 に、プリント基板の構造を示し、それぞれのプリント基板の基本仕様を表 2.2 に示す。

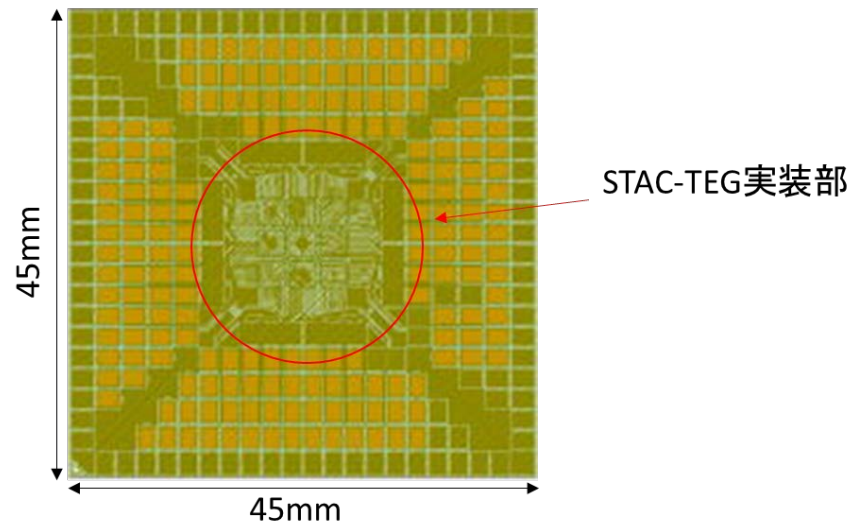


図 2.8 プリント基板(WALTS-KIT STAC-0201JY)の外観

表 2.2 プリント基板(WALTS-KIT STAC-0201JY)の基本仕様

基本仕様	STAC-0201JY
対応チップ	STAC-0101JY(3×3)
基板サイズ	45.0mm×45.0mm
基板厚	0.55mm
コア材	E-705G
ビルドアップ材	ABF GX-13
ソルダレジスト	PSR4000 AUS-703 15μm
端子表面処理	無電解 Ni/Au めっき
バンプ搭載部ランド径	φ 170μm(SR 開口 φ 110μm)
測定端子サイズ	1.5mm×2.0mm

2.2.2 TEG チップの piezo 抵抗素子の物性値の測定方法

2.1 節の piezo 抵抗効果を用いた応力測定原理より、チップ表面の残留応力を評価するためには、応力感度 S 、その温度依存性 α 、piezo 抵抗の温度依存性 β_1 および β_2 を求める必要がある。よって、4 点曲げ試験と加熱試験を行う。

図 2.9 に 4 点曲げ試験の装置構成を示す。この研究で用いた 4 点曲げ試験は、顕微鏡用 4 点曲げ試験装置(井元製作所)である。曲げ試験装置の制御は専用の PC のプログラムで行う。また、曲げ試験装置のプローブとデジタルマルチメータ(GDM-8246(INSTEK))、電圧/電流源(R6144(ADVANTEST))を接続して行った。この曲げ試験装置はステッピングモーターによってロードセルを動かしている。また、試料に対する負荷は、ロードセルを通して荷重指示計から読み取ることができる。

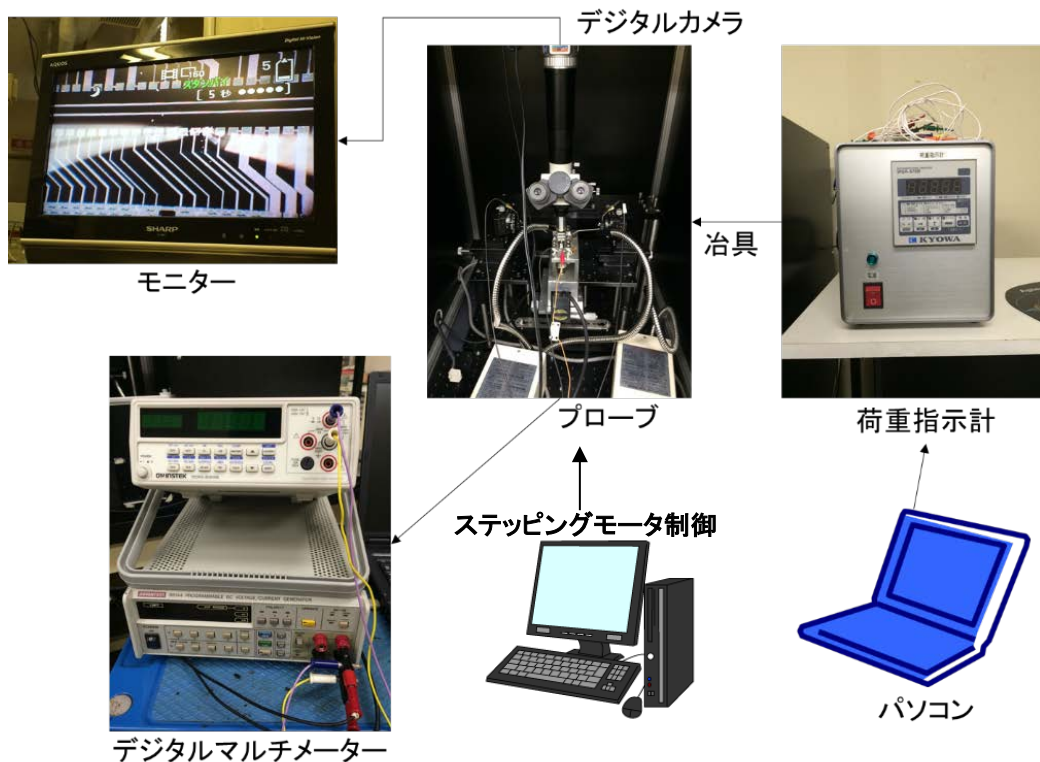


図 2.9 4 点曲げ試験の装置構成

次に、4点曲げ法による曲げ試験の原理について説明する。図 2.10 に 4点曲げ試験の概要を示す。4点曲げ法には、中央の 2つの圧子を試料の下から上向きに負荷を加えることで、チップ上面に引張応力を発生させる方法と、中央の 2つの圧子を試料の上から下向きに負荷を加えることで、チップ上面に圧縮応力を発生させる方法がある。

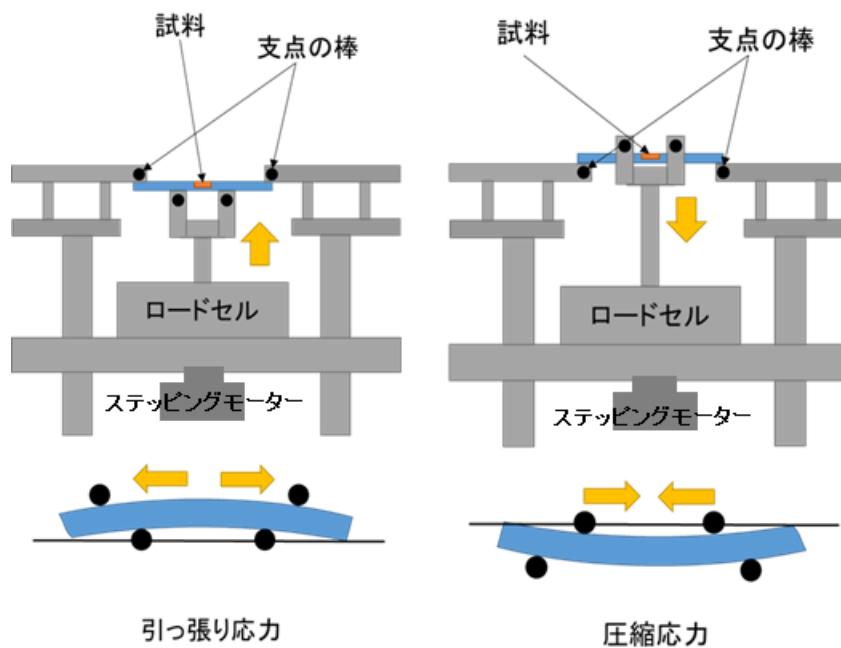


図 2.10 4点曲げ試験の概要

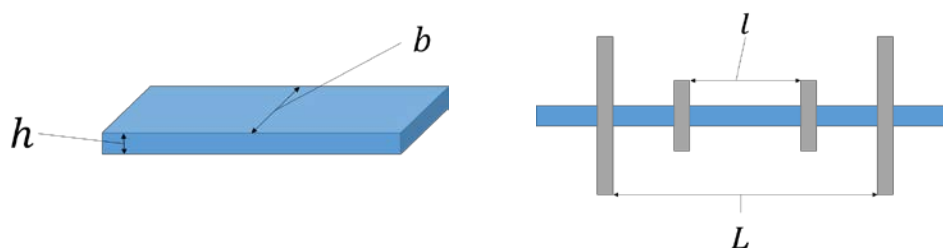


図 2.11 試料と治具の寸法

さらに、4点曲げ試験で発生する応力の式は式(2.3)で与えられる。

$$\sigma = \frac{3F(L-l)}{2bh^2} \quad (2.3)$$

ここで、 σ は発生する応力(MPa)、 F はロードセルが試料に与える負荷(MPa)、 L は図 2.11 に示すように外側支点間距離(mm)、 l は内側支点間距離(mm)、 b は試料の幅(mm)、 h は試料の厚み(mm)である。

次に piezo 抵抗素子の応力感度を求める試験の条件について述べる。

この試験で使用したチップは WALTS 社製の STAC-0101JY である。4 点曲げ試験のために、厚さ 0.55mm の TEG チップを 9mm×45mm にダイシングし、フレキシブル基板を装着し、4 端子法で計測できる試料を作成した。その試料を用いて 4 点曲げ試験装置で引っ張り応力を加えて抵抗値を測定する。

試験条件は、電流源から発生する電流を 0.1mA で固定し、0MPa から 140MPa まで約 10MPa ずつ応力を加えるごとに電圧を測定し、抵抗値を計算する。同じ試料を 3 回測定し、縦軸 piezo 抵抗素子の抵抗変化率、横軸応力のグラフを作成し、その傾きから応力感度を導く。

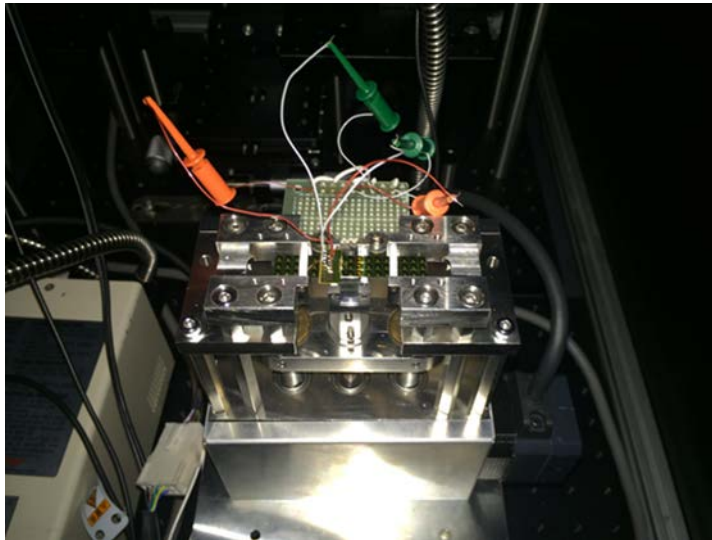


図 2.12 4 点曲げ試験中の写真

次に、piezo 抵抗素子の温度依存性を求める試験の条件について述べる。piezo 抵抗素子の

温度依存性を求めるには、チップを高温環境下で温度変化させた時の温度と抵抗の変化率との関係を調査する必要がある。そのため、4点曲げ試験で使用した試料と同じ形状の試料を用いて、ベイク炉(DKN302(ヤマト社))にて加熱試験を行う。

試験条件は、電流源から発生する電流を 0.1mA で固定し、ベイク炉の温度を 30°C から 120°C まで、 10°C 間隔で電圧を読み取り、抵抗値を求める。同じ試料を 2 回測定し、縦軸ピエゾ抵抗素子の変化率、横軸温度のグラフを作成し、2 項近似した式の係数からピエゾ抵抗素子の温度依存性を導く。

2.2.3 CUF を用いた FCB 工程による応力変化の測定方法

図 2.13 にアンダーフィルを用いた FCB 工程による応力変化の実験の流れを示す。まず、各ピエゾ抵抗素子の値を表 2.3 のように定義する。はじめはウェハを 9mm×9mm のチップにダイシングし、図 2.13 に示すピエゾ抵抗素子の初期値 R_0 を図 2.14 に示すプローバー(HFP-120A-202, Micronics Co., Ltd.)を用いて 30°Cで管理された暗室内で 4 端子法にて測定する。次に、使用するプリント基板のチップ実装部にフラックスを塗布し、図 2.15 に示すフリップチップボンダー(FCB3, Panasonic FS Co., Ltd.)を使用し、TEG チップを基板に実装する。X線装置にてバンプと接続端子との位置関係とはんだの硬化形状を確認後、超音波洗浄機でフラックスを洗浄し、フリップチップ工程後のピエゾ抵抗素子値 R_1 を測定することで、実装工程で発生した残留応力を求める。次に CUF をディスペンサーで注入し、ベイク炉にて 150°Cで 60 分間ベイクする。その後、ピエゾ抵抗素子値 R_2 を測定することで、CUF 工程で発生する残留応力を求める。ここで用いる計算式は式(2.2)を用いる。ただし、応力感度 S の温度依存性 α については、WALTS-TEG STAC-0101JY(SiN)納入仕様書に掲載されている値($\alpha = 6.332 \times 10^{-8}/^{\circ}\text{C}$)を使い[6]、応力感度 S 、ピエゾ抵抗の温度依存性 β_1 および β_2 は、TEG チップのピエゾ抵抗素子の物性値の測定により求められた値を用いる。

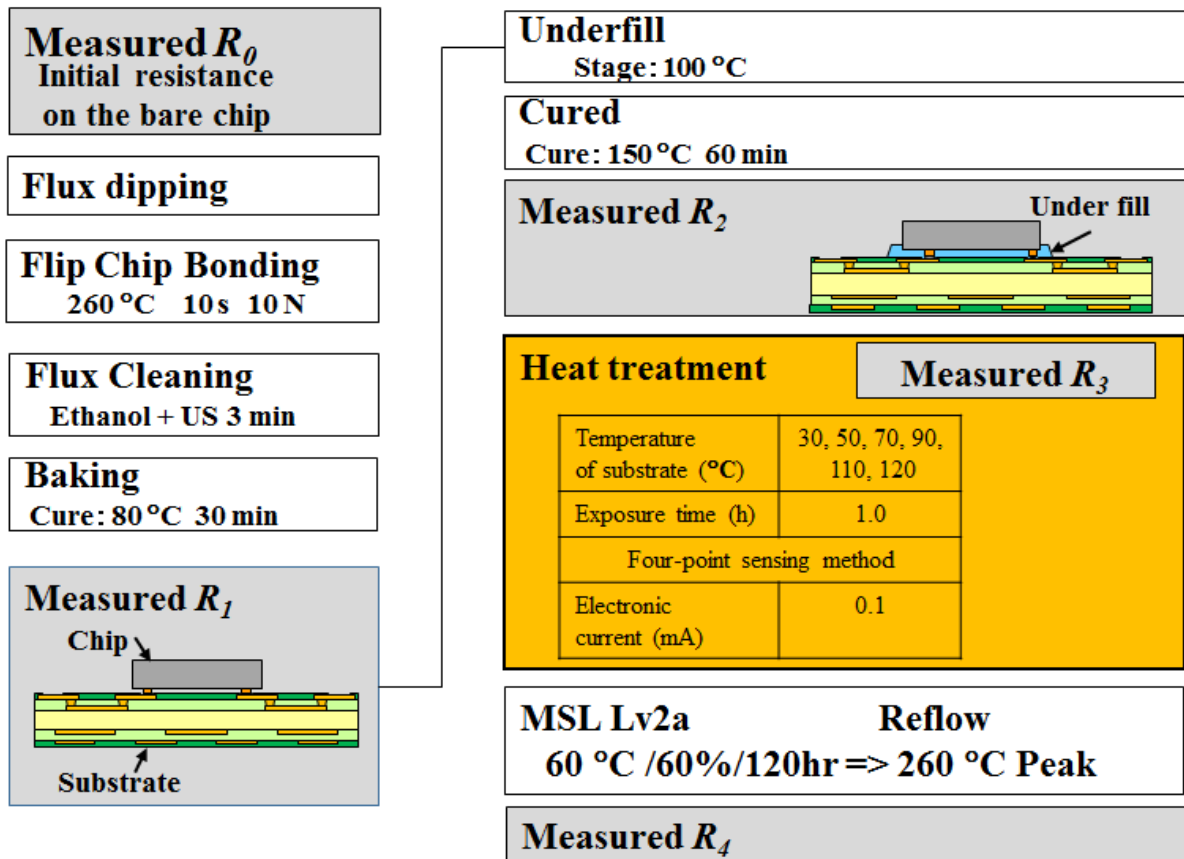
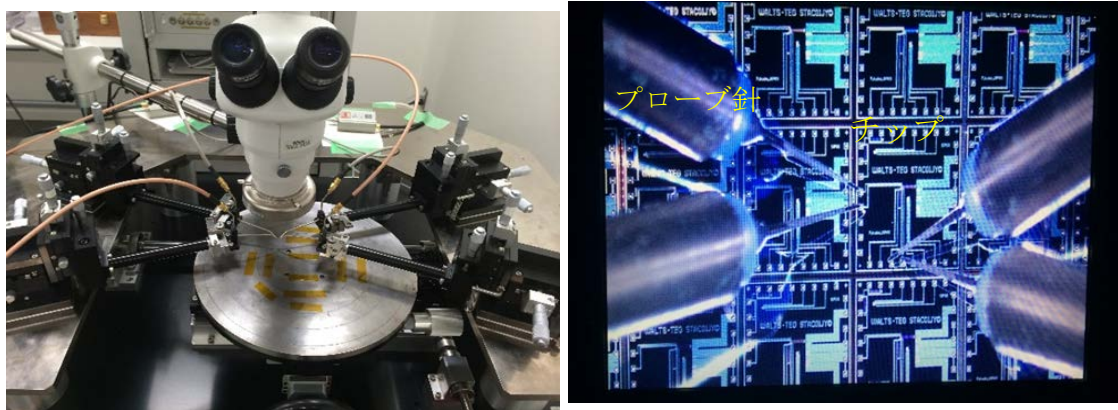


図 2.13 アンダーフィルを用いた FCB 実装プロセスフロー



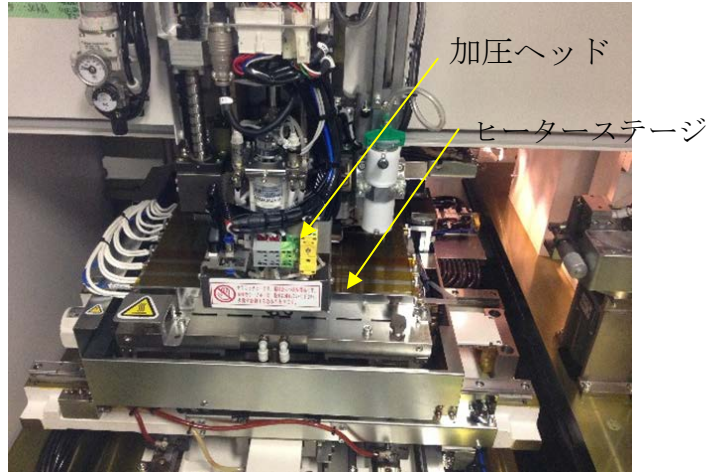
a) 装置全体図

b) 抵抗 R_0 測定時のプローブコンタクト写真

図 2.14 プロービングシステムを用いた 4 端子法による測定



(a) フリップチップボンダー



(b) チップの実装

図 2.15 フリップチップボンダーによるチップの実装

表 2.3 CUF 工程におけるピエゾ抵抗素子値の定義

	Piezo-resistance
R_1	Package after bonding
R_2	Package with CUF after bonding
R_3	Package with CUF in a hot oven
R_4	Package with CUF after reflow

2.2.4 NCF を用いた FCB 工程による応力変化の測定方法

図 2.16 に NCF を用いた FCB 工程による残留応力変化の実験の流れを示す。各ピエゾ素子抵抗の値を表 2.4 に定義する。まず、ウェハを 9mm×9mm のチップにダイシングし、ピエゾ抵抗素子の初期値 R_0 を 4 端子法にて測定する。次に、使用するチップに NCF を真空ラミネーター(ATM-812, Takatori Co., Ltd.)にてラミネートし、前述の図 2.15 に示すフリップチップボンダーを使用し、チップを基板に実装する。実装後 X 線装置にてバンプと接続端子との位置関係とはんだの硬化形状を確認後、バイク炉にて 150°C で 60 分間バイクし、ピエゾ抵抗素子値 R_5 を測定することで、NCF を用いた実装工程で発生した残留応力を求める。ここで用いる計算式は CUF 同様に式(2.2)を用いる。また応力感度 S の温度依存性 α については、CUF 同様に WALTERS-TEG STAC-0101JY(SiN)納入仕様書に掲載されている値($\alpha = 6.332 \times 10^{-8}/^\circ\text{C}$)を使い[5]、応力感度 S 、ピエゾ抵抗素子の温度依存性 β_1 および β_2 は、TEG チップのピエゾ抵抗素子の物性値の測定により求められた値を用いる。

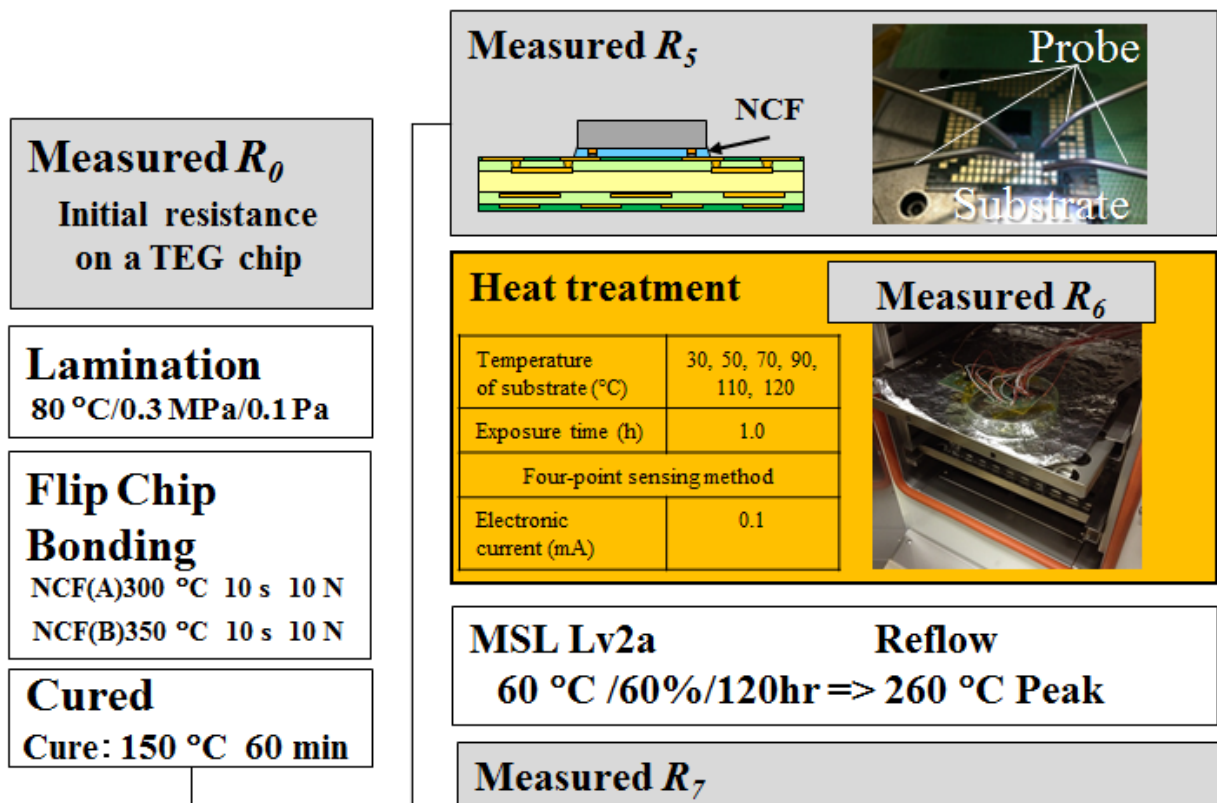


図 2.16 NCF を用いた FCB 実装プロセスフロー

表 2.4 NCF 工程におけるピエゾ抵抗素子値の定義

	Piezo-resistance
R_5	Package with NCF after bonding
R_6	Package with NCF in a hot oven
R_7	Package with NCF after reflow

2.2.5 FCB パッケージの加熱試験方法

加熱試験の測定は、FCB 工程による応力変化の測定後のパッケージを使用し、図 2.17 に示すベイク炉の中で温度を上昇させながら各抵抗値を測定する。図 2.18 に示すように TEG チップから基板に 4 端子測定用の引き出し配線が設けられている。FCB 実装したパッケージの引き出し配線が繋がる基板側の電極パッドにリード線をはんだ付けで接続し、パッケージを図 2.19 及び図 2.20 のようにベイク炉の中に置く。ベイク炉の中からリード線を取り出し、図 2.21 に示すデジタルマルチメータと電流源に接続し、表 2.6 に示すようにチップ内のピエゾ抵抗値（CUF は抵抗値 R_a 、NCF は抵抗値 R_b ）を 4 端子法により、図 2.22 に示すような基板端子にて測定を行う。加熱時の温度は別に準備したダミーで作成したパッケージのチップ上に熱電対を取り付け、測定する。試験条件を表 2.5 に示す。応力測定は、ベイク炉内でパッケージの表面温度が指定温度に到達後、1 時間ホールドして十分平衡後実施した。

表 2.5 FCB パッケージの加熱試験の試験条件

Heat Condition	
Temperature of substrate(°C)	30,50,70,90,110,120
Exposure time (hour)	1.0
Four-point sensing method	
Electronic current (mA)	0.1

表 2.6 FCB パッケージの加熱試験の 4 端子測定端子の定義

	V_{dd}	V_{dd-s}	V_{ss}	V_{ss-s}
X-direction	1	2	3	4
Y-direction	5	6		



図 2.17 ベイク炉

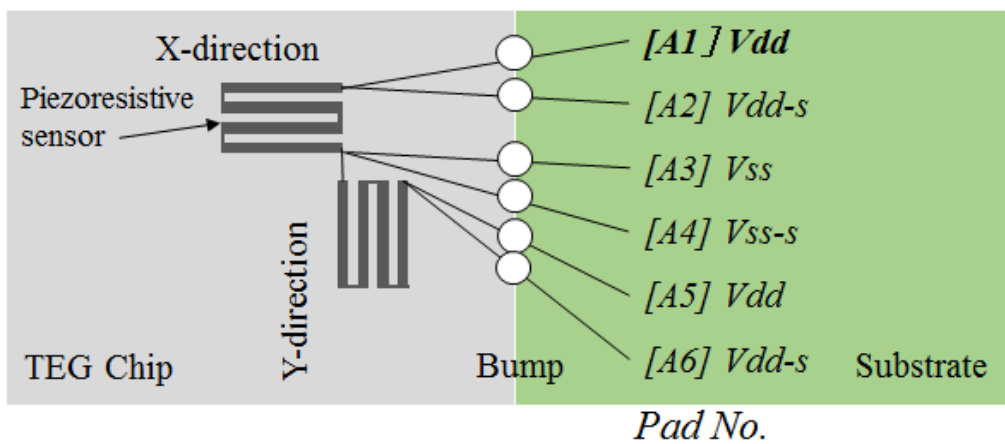


図 2.18 4端子測定端子法のピエゾ抵抗配線の定義



図 2.19 ベイク炉内の配線の様子

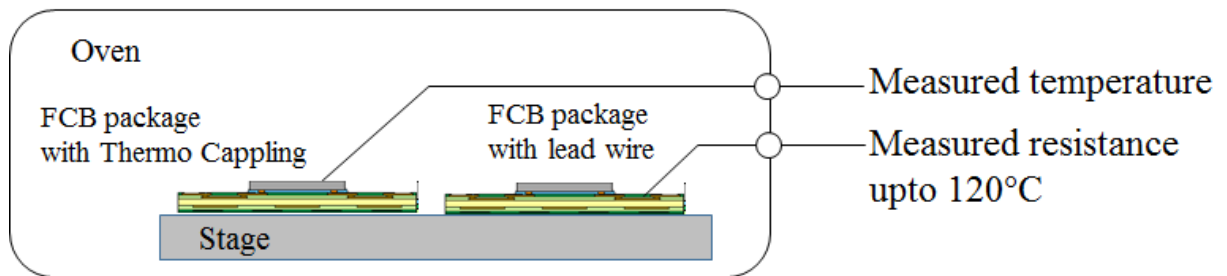


図 2.20 加熱試験の FCB パッケージ断面と測定ベイク炉全体の配線の様子

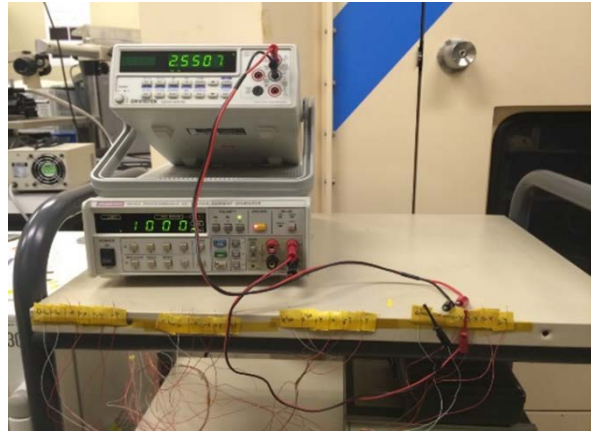
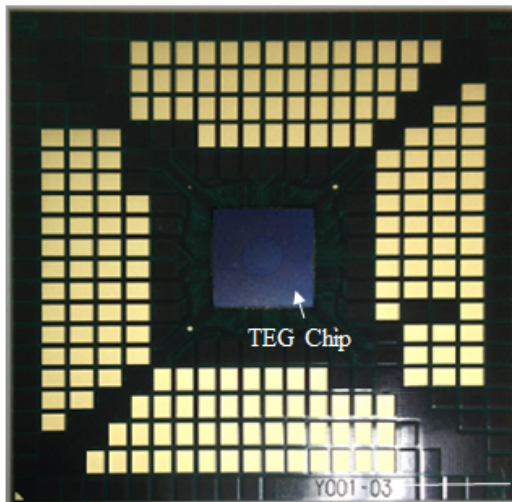


図 2.21 デジタルマルチメータと電流源

(a) Substrate image after FCB with TEG chip



(b) Measurement pad layout on the substrate

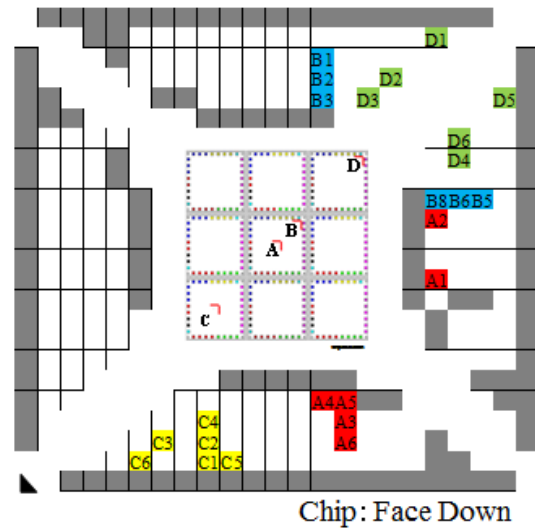


図 2.22 4端子測定端子法の有機基板への配線の定義

2.2.6 FCB パッケージのリフロー試験方法

リフロー試験の測定は、加熱試験後の FCB 実装パッケージを使用し、JEDEC 規定 Level2a の吸湿処理後、JEDEC 規定の 260°Cピークに設定されたリフロー条件にて処理を行う [7]。リフロー工程後、超音波探傷撮像装置 CSAM (Constant-depth mode Scanning Acoustic Microscopy)にて CUF 及び NCF とチップと基板界面の層間剥離を確認後、リフロー工程後のピエゾ抵抗 R_p を測定することで、リフロー工程後に発生した残留応力を求める。

2.3 実験結果

2.3.1 TEG チップのピエゾ抵抗素子の物性値の測定結果

図 2.23 に 30°Cにおける 4 点曲げ試験方法を用いたピエゾ抵抗内蔵素子チップに加えるロードセルの印可応力とピエゾ抵抗内蔵素子チップからの出力抵抗値の測定結果を示す。

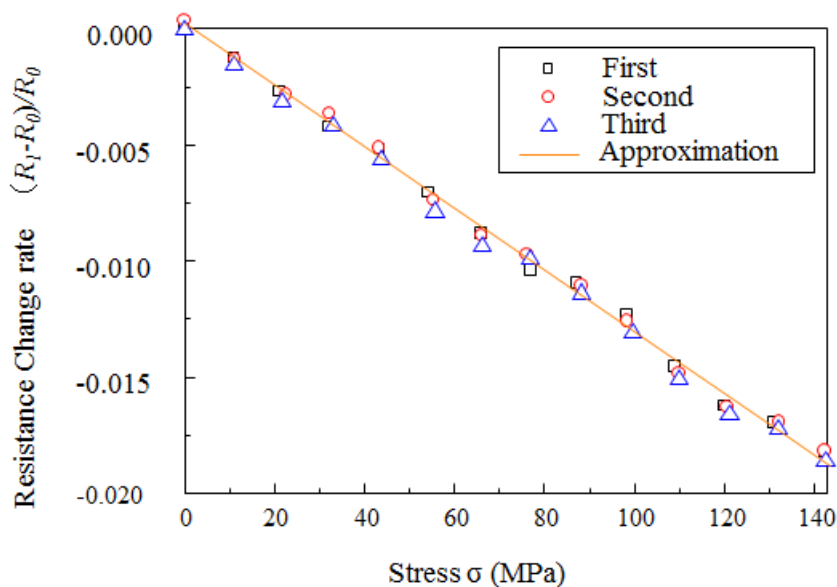


図 2.23 STAC-TEG の応力による抵抗値の変化率のグラフ

応力 σ と抵抗値 R の変化率の関係は、先述の式(2.1)になり、30°Cにおける応力感度 S は、式(2.4)から $S = -1.31 \times 10^{-4}/\text{MPa}$ と求めることができる。

$$\sigma_{T_0} = \frac{1}{S} \frac{R_{IT_0} - R_{0T_0}}{R_{0T_0}} \quad (2.4)$$

加熱試験

図 2.24 にバイク炉の中で温度を上昇させながら各温度とピエゾ抵抗内蔵素子チップからの出力抵抗値の測定結果を図 2.24 に示す。

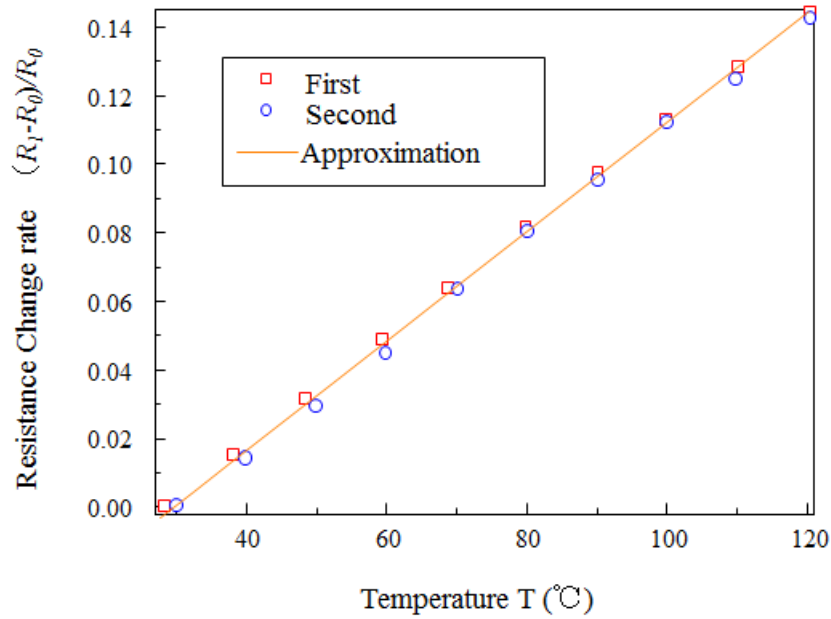


図 2.24 ピエゾ抵抗の温度による抵抗値の変化率のグラフ

実験より、2.2 式を用いて計算した結果、表 2.8 のようになり、

表 2.8 加熱試験によるパラメータ

パラメータ	値
β_1	1.60×10^{-3}
β_2	2.44×10^{-7}

ピエゾ抵抗の温度依存性： $\beta_1 = 1.60 \times 10^{-3}/^\circ\text{C}$

ピエゾ抵抗の温度依存性： $\beta_2 = -2.44 \times 10^{-7}/^\circ\text{C}$ となる。

2.3.2 FCB 工程による応力変化の測定結果

CUF 及び NCF を用いた FCB 工程による応力変化の測定結果について述べる。図 2.25 に使用した TEG チップのピエゾ抵抗素子の位置を示す。チップ中央からピエゾ抵抗素子 A、ピエゾ抵抗素子 B、ピエゾ抵抗素子 C、ピエゾ抵抗素子 D の順に位置している。

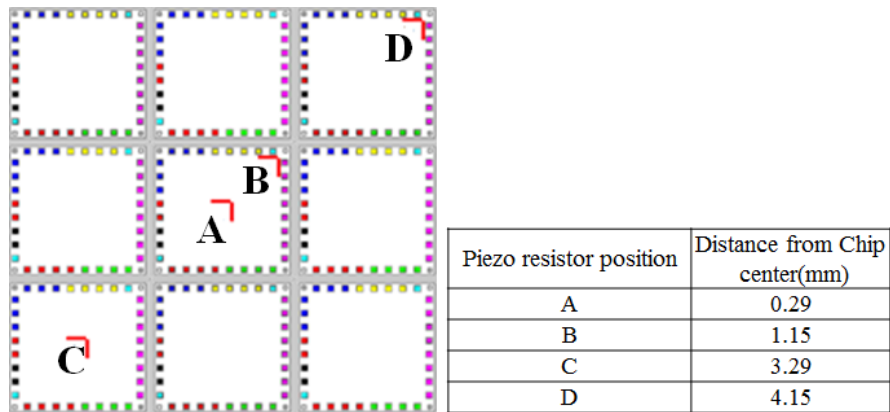


図 2.25 ピエゾ抵抗素子の配置

表 2.9 にこの実験で使用した CUF と NCF(B)及び NCF(C)の物性値を記載する。

CUF は現在使用実績のある品種で、そのガラス転移温度、弾性率、線膨張係数の諸物性はシミュレーションでも良いとされる値のものをベンチマークにしている。NCF は開発中の品種で線膨張係数 CTE を CUF 同等の 30ppm 台に、弾性率を 7MPa 近傍に合わせ、ガラス転移温度 T_g 物性を大きく振ったものを準備した。

表 2.9 アンダーフィル材の樹脂物性

種類	ファイバー含有量 (wt%)	ガラス転移温度 T_g ($^{\circ}$ C)	弾性率 (Mpa)	線膨張係数 CTE (ppm/ $^{\circ}$ C)	
				T_g 以下	T_g 以上
CUF	60	105	7.6	64	104
NCF (B)	50	142	6.7	33	125
NCF (C)	50	200	5.9	38	114

実装実験 I (CUF)

まず、チップの厚さ 550 μm の STAC-0101JY、プリント基板の厚さ 550 μm の STAC-0201JY を用いたフリップチップの実装について述べる。チップにフラックスをディッピングする。次に温度 100 $^{\circ}\text{C}$ のステージにプリント基板を置き、温度 150 $^{\circ}\text{C}$ のフリップチップボンダーのヘッドでチップをピックアップし、フリップチップボンダー付属のアライメント装置でチップと基板の位置合わせ用のアライメントマーカを用いて光学位置合わせを行い、荷重 3N でプリント基板に押し付ける。次に、ヘッドの温度を 260 $^{\circ}\text{C}$ まで上昇させ、10N で 10 秒ヘッドをホールドしてはんだバンプを融解させ、150 $^{\circ}\text{C}$ まで冷却し、はんだバンプを硬化させる。図 2.26 に示すように X 線装置による実装位置のズレがないことを確認し、実装後のパッケージをエチルアルコールで満たしたビーカーに投入し、超音波洗浄装置で 3 分間フラックス洗浄除去を行い、水洗後 80 $^{\circ}\text{C}$ で 30 分間ベイク炉にて乾燥を行う。フリップチップ工程後のピエゾ抵抗素子値を測定することで、実装工程で発生した残留応力を求める。測定後、温度 100 $^{\circ}\text{C}$ のステージに実装パッケージを置き、CUF をチップと基板の隙間に毛細管現象で注入し、150 $^{\circ}\text{C}$ で 30 分間ベイクした後、徐冷と十分な応力緩和のため、一昼夜 30 $^{\circ}\text{C}$ の室内に静置した後、ピエゾ抵抗素子の抵抗値を測定することで、アンダーフィル工程で発生する残留応力を求める。

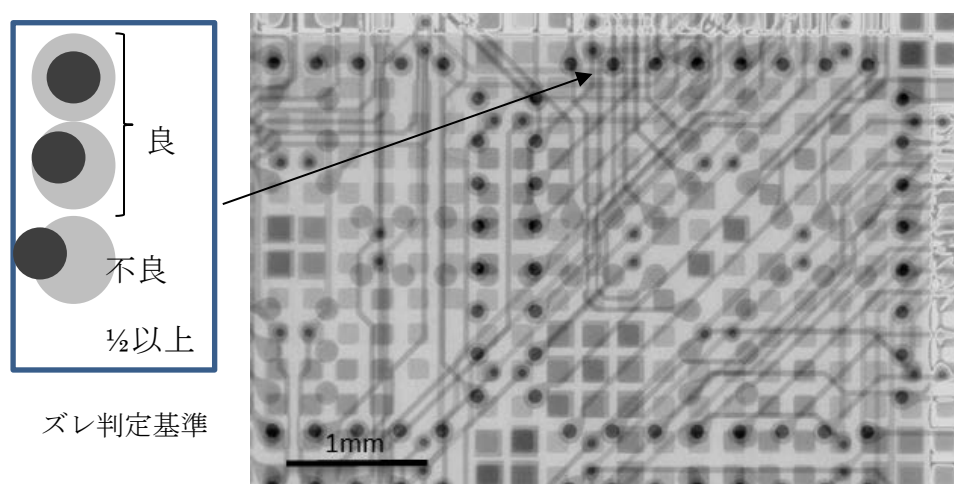


図 2.26 FCB パッケージの X 線写真

実装実験Ⅱ(NCF)

チップの厚さ $550\mu\text{m}$ の STAC-0101JY(ピエゾ抵抗素子の配置は図 2.25)、プリント基板の厚さ $550\mu\text{m}$ の STAC-0201JY、NCF(B)を用いたフリップチップの実装について述べる。温度 100°C のステージにプリント基板を置き、温度 150°C のフリップチップボンダーのヘッドで NCF をラミネートしたチップをピックアップし、フリップチップボンダー付属のアライメント装置でチップと基板の位置合わせ用のアライメントマーカを用いて光学位置合わせを行い、荷重 10N でプリント基板に押し付ける。次に、ヘッドの温度を 300°C まで上昇させ、はんだバンプを融解させ、 $20\mu\text{m}$ 押し込む。そして、 150°C まで冷却し、はんだバンプを硬化させる。 150°C で 60 分間ベイクした後、徐冷と十分な応力緩和のため、一昼夜 30°C の室内に静置した後、ピエゾ抵抗素子を測定することで、NCF(B)を使用した FCB 工程で発生する残留応力を求める。

NCF 工程では図 2.27 に示すように X 線装置による半田バンプの濃淡から実装位置のズレがないことを確認した。図 2.28 に示すようにフリップチップ後の実装後のパッケージの断面研磨を行い、バンプのズレと半田濡れ接合状態を確認して接合条件を決定し、 n 数 3 個でサンプル作成を行った。同様に NCF(C)の実装も行ったがヘッド温度 300°C では、はんだ濡れ性が断面観察の結果不十分であったので 50°C 高めの 350°C のヘッド温度で実装を行い、十分なはんだ濡れを確認して NCF(C)のサンプルとした。

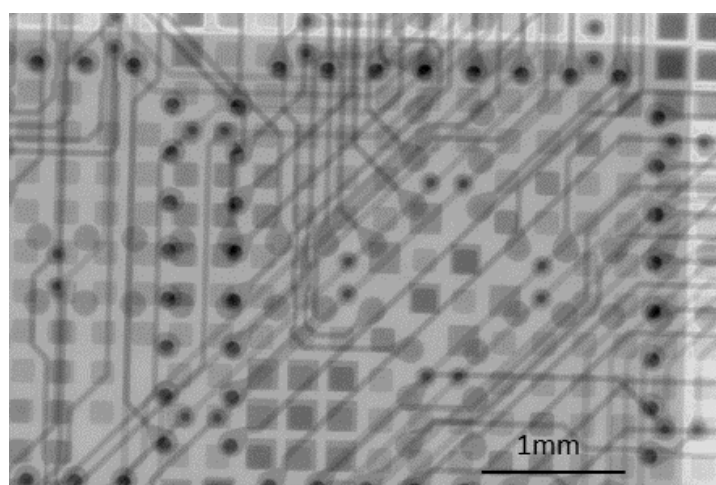


図 2.27 NCF 工法の実装パッケージの X 線写真

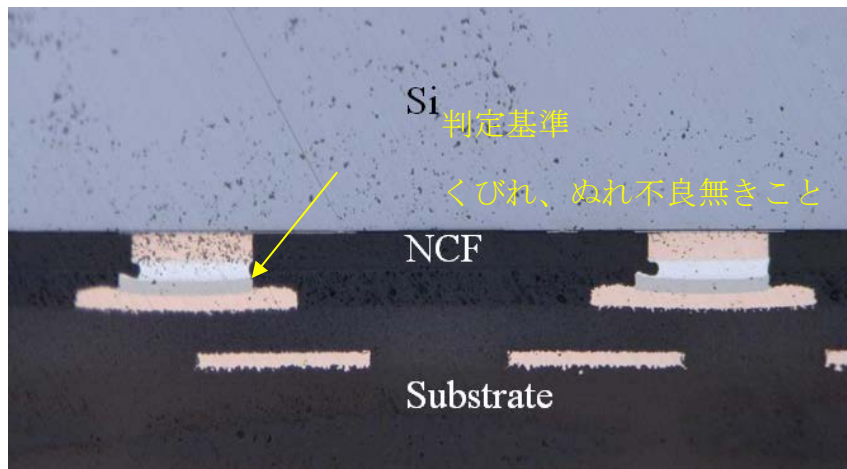


図 2.28 NCF 工法を用いた実装パッケージの接続部断面の光学写真

次に、図 2.29 に上記のサンプルを用いた、FCB 直後の CUF 注入前と CUF、NCF(B)を介した FCB 工程による応力変化の測定結果を示す。縦軸は残留応力、横軸はピエゾ抵抗素子の位置を示している。各プロットは、実装サンプル 3 個の平均値となっている。

実験結果からチップの中央部に位置するピエゾ抵抗素子 A 部の残留応力の値が大きく、チップ中央からチップ端部に行くにつれて残留応力の値は小さくなり、チップの端に位置するピエゾ抵抗素子 D 部の残留応力の値が一番小さいことが分かった。またピエゾ抵抗素子の X 方向の残留応力と Y 方向の残留応力に方向による差は認められなかった。チップ形状が正方形だったことにより、均一に応力が掛かったと考えられる。

FCB 後の結果では、チップ中央のピエゾ抵抗素子 A 部の残留応力は約 20MPa～25MPa の圧縮応力が印可していることが分かり、チップ端部ピエゾ抵抗素子 D 部の残留応力はほぼ 0～5MPa の引張応力であることが分かった。

さらに、CUF を注入して硬化させることで、チップへの圧縮方向への応力が増加し、チップ中央のピエゾ抵抗素子 A 部で約 40MPa～50MPa の圧縮の残留応力、チップ端部のピエゾ抵抗素子 D 部でほぼ 0～5MPa の引張の残留応力になった。

バンブに近いところのピエゾ抵抗素子 B 部の残留応力は FCB 後、CUF 後、NCF 工法すべてにおいて他の部位より増加する傾向を示した。同じようにバンブに近いところにピエゾ抵抗素子が位置するチップ端部 D 部の残留応力も B 部ほどのではないが、圧縮応力が高くなる結果を示した。

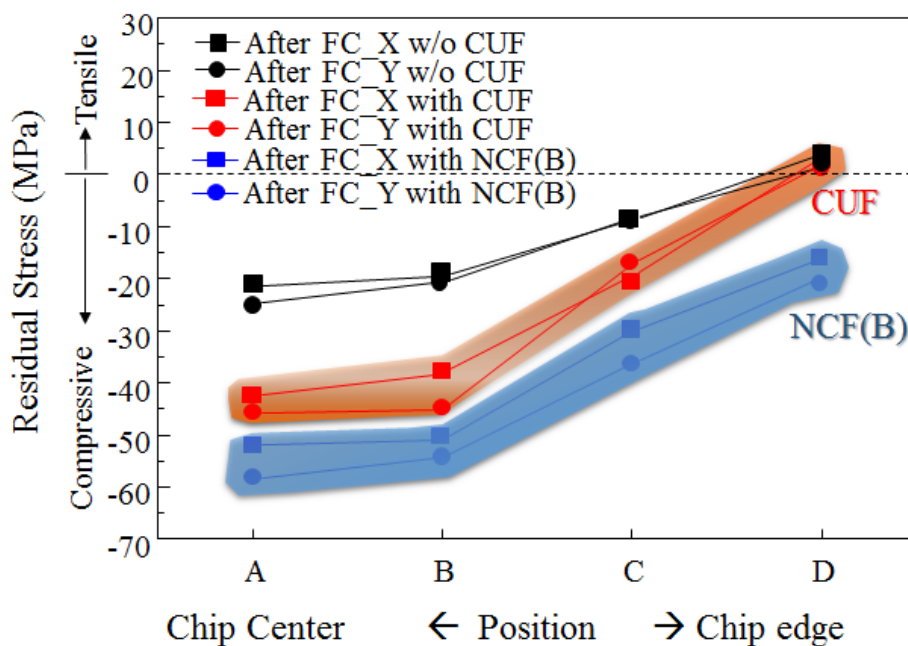


図 2.29 各方法別の FCB 実装後の残留応力

NCF(B)の残留応力もチップの中央部に位置するピエゾ抵抗素子 A 部の残留応力の値が大きく、チップ端部に位置するピエゾ抵抗素子 D 部の残留応力の値が小さくなる傾向を示すことが分かった。チップ中央のピエゾ抵抗素子 A 部の残留応力は約 50MPa~60MPa の圧縮応力が印可していることが分かり、チップ端部のピエゾ抵抗素子 D の残留応力は約 20MPa~30MPa であることが分かった。さらに、CUF と比較すると全体的に約 20MPa 大きな圧縮応力がチップ中央からチップ端部まで均一に発生していることが分かり、チップ端部ピエゾ抵抗素子 D 部に CUF には無い圧縮応力が発生していることが分かった。

NCF(B)でもバンブに近いところにピエゾ抵抗素子が位置する B 部、D 部で圧縮応力の増加が確認されている。また NCF の FCB 実装パッケージでもピエゾ抵抗素子の X 方向及び Y 方

向による応力の差はほぼ無いことが分かった。

2.3.3 FCB パッケージの加熱試験結果

図 2.30 に実装実験 I (CUF)で実装したパッケージを用いた加熱試験の結果を示す。チップ中央付近に位置するピエゾ抵抗素子 A 部の応力値は、30℃から 120℃へ温度上昇するに従い、圧縮応力が引張の残留応力方向に変化していることが分かり、約 90℃付近で圧縮応力がゼロを示した。またチップ端部のピエゾ抵抗素子 D 部の応力値は、他部位より変動が小さく温度上昇試験中は引張応力が作用している結果となった。

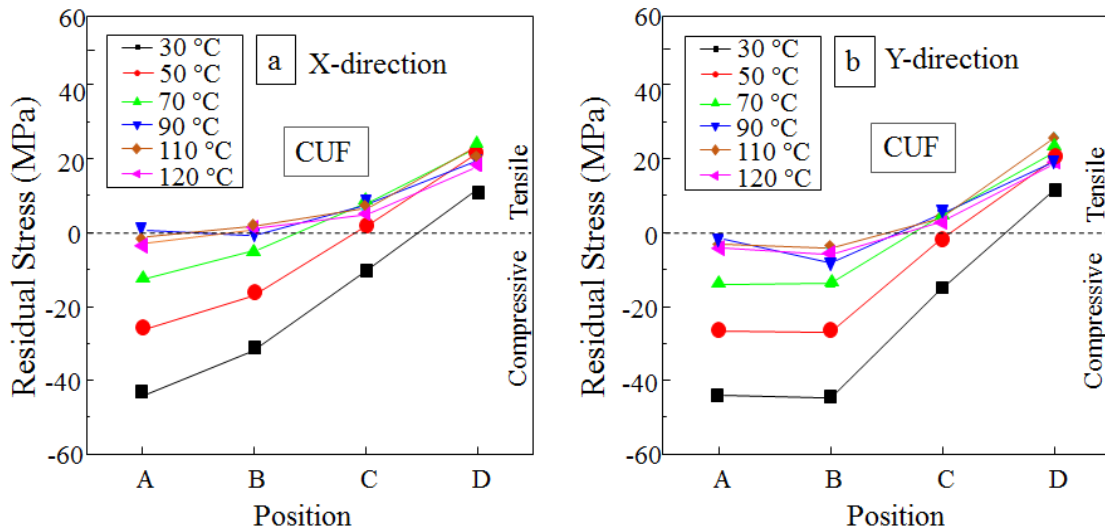


図 2.30 CUF パッケージの X 方向及び Y 方向の残留応力の温度依存性

図 2.31 に実装実験 II (NCF)で実装したパッケージを用いた加熱試験の結果を示す。チップ中央付近に位置するピエゾ抵抗素子 A 部の応力値は、30℃から 120℃へ温度上昇するに従い、圧縮応力が引張の残留応力方向に変化していることが分かり、CUF 同様に約 90℃付近で圧縮応力がゼロを示した。また NCF のみで確認されたチップ端部に位置するピエゾ抵抗素子 D 部の圧縮応力は、他部位同等の変動巾で小さくなっている結果となった。このピエゾ抵抗素子 D 部は、CUF とは異なる挙動を示した。

CUF と NCF 共に各 T_g 値に近づくにつれ、基板の熱膨張も大きくなり、チップの変形が小

さくことからチップ表面の応力変動は小さくなったと考えられる。また加熱処理により、
 圧縮応力から引張応力へと変化した。

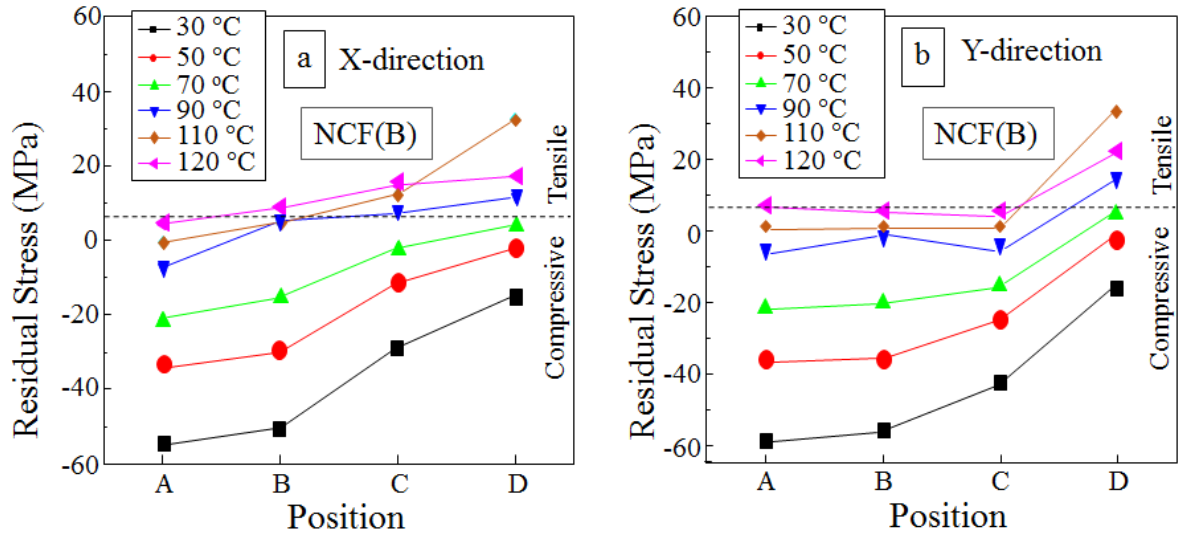


図 2.31 NCF パッケージの X 方向及び Y 方向の残留応力の温度依存性

次に異なる T_g 特性を持つ NCF (B) と NCF(C)の残留応力測定結果を図 2.32 に示す。

NCF(B)の T_g は 142°C 、NCF(C)の T_g は 200°C である。前述通り NCF(C)の FCB は 300°C では、半田の濡れが悪かったため、NCF(B)より 50°C 高めの 350°C で接合を行っている。

T_g の高い NCF (C)の残留応力は NCF (B)の残留応力より 5MPa から 10MPa 高めの圧縮応力となった。

NCF(B)、NCF(C)ともに、FCB 実装後の残留応力は位置 A～位置 D まですべてのチップ面内で圧縮応力を示し、その値はチップ中央で大きく、端部に向けて減少する傾向を示した。

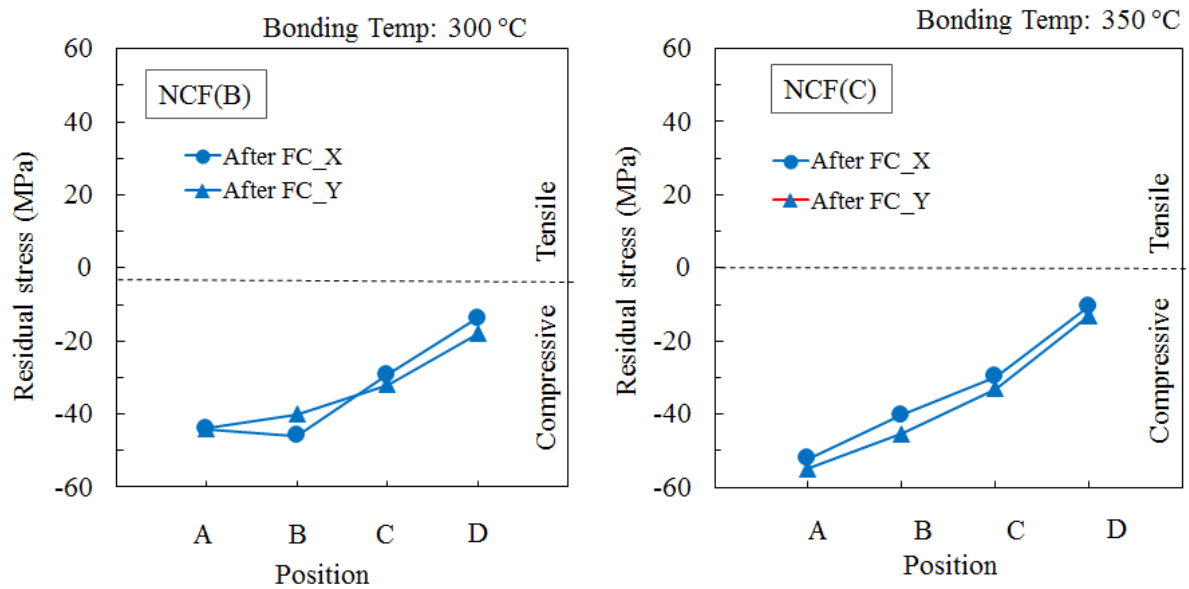


図 2.32 各 NCF 使用の実装パッケージの FCB 後の残留応力

2.3.4 FCB パッケージのリフロー試験結果

図 2.33 に実装実験 I (CUF) で実装したパッケージを用いた MSL JEDEC Level 2a で吸湿熱処理後、260°C ピークリフロー試験の結果を、図 2.34 に実装実験 II (NCF) で実装したパッケージを用いた同湿熱処理同リフロー試験の結果を示す。

CUF の MSL 吸湿リフロー試験前後で、ピエゾ抵抗素子 A 部、ピエゾ抵抗素子 B 部、ピエゾ抵抗素子 C 部共に大きな変化は見られなかったが、チップ端部ピエゾ抵抗素子 D 部の残留応力値が圧縮方向に増加した。NCF(B) 及び NCF(C) は MSL 吸湿リフロー試験前後で、その残留応力の値はほとんど変化がなかった。

そこで、CSAM を使用して NCF(B)、NCF(C)、CUF の実装パッケージの剥離観察を行った結果を図 2.35 に示す。剥離観察位置は、封止樹脂とチップとの界面 (図 2.35 中で赤線の界面) と封止樹脂と基板との界面 (図 2.35 中の青線の界面) の 2 カ所とした。

剥離観察の結果、CUF(B)、NCF(C) では、剥離を示す白い領域は確認されず、良好なリフロー耐熱性があることが確認された。しかしながら、CUF では封止樹脂と基板界面で剥離を示す白い領域がピエゾ抵抗素子 A 部、ピエゾ抵抗素子 B 部及びピエゾ抵抗素子 C 部で確認された。しかしながらピエゾ抵抗素子 D 部での剥離は観察されなかった。

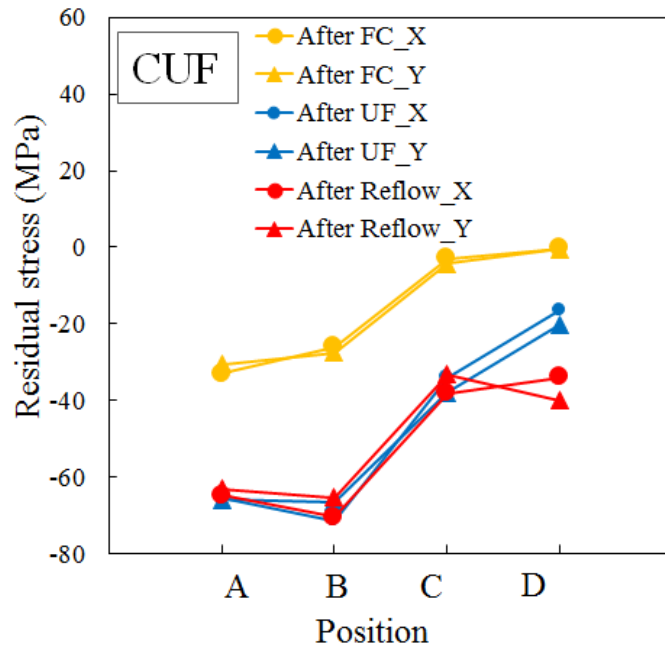


図 2.33 CUF 使用の実装パッケージのリフロー評価後の残留応力

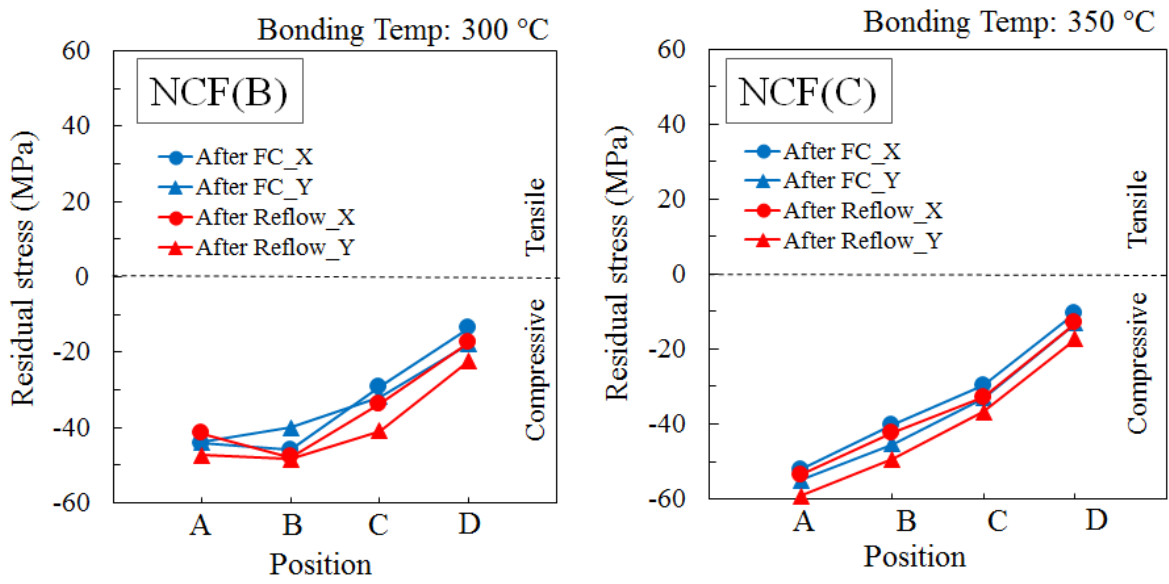


図 2.34 各 NCF 使用の実装パッケージのリフロー評価後の残留応力

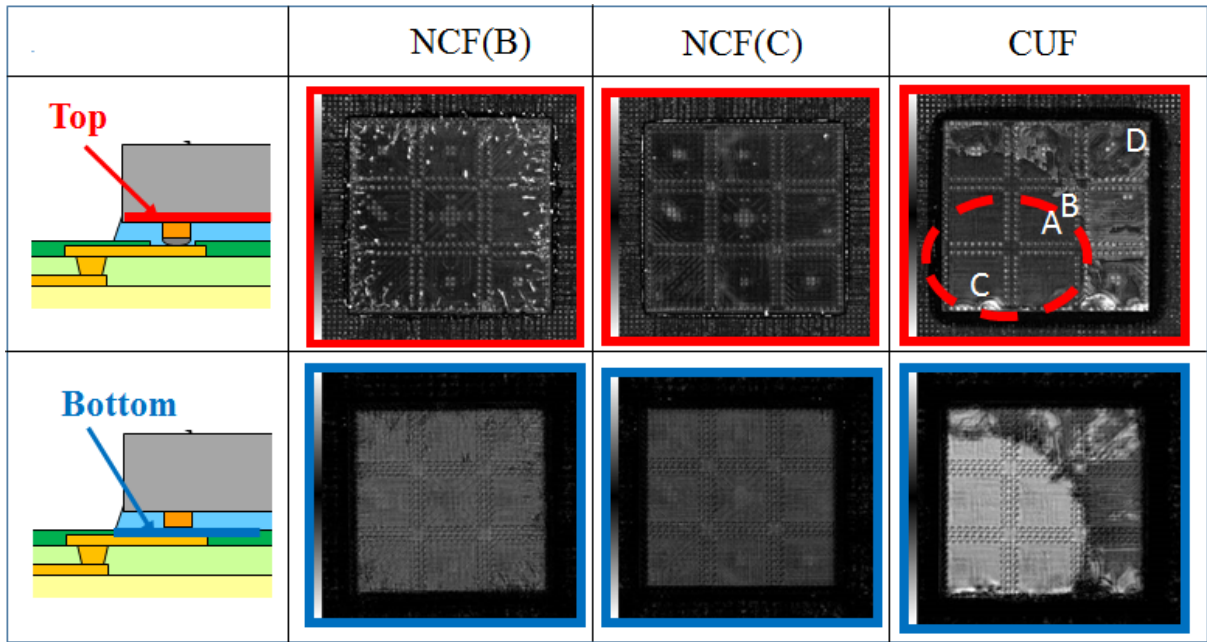


図 2.35 CUF、NCF(B)、NCF(C)の実装パッケージの CSAM 解析結果

2.4 考察

2.4.1 FCB 工程による応力変化

FCB 工程で発生する残留応力は、実装実験 I (CUF) で 20MPa~30MPa の圧縮応力が発生した。さらに、CUF の注入硬化により、FCB 工程で発生した圧縮応力が増加する傾向が観察された。

チップ表面に圧縮応力が発生したプロセスについて図 2.36、図 2.37 および図 2.38 を用いて説明する。フリップチップボンダーによる FCB 実装は高温を伴うため、チップの実装時にプリント基板にも熱が伝わる。そのため、チップよりも熱膨張係数の大きいプリント基板が膨張した時に、チップが SnAg はんだからなるバンプを介して実装される。さらに図 2.37 に示すように実装後の冷却プロセスでパッケージが冷却されるため、チップよりも熱膨張係数の大きいプリント基板が収縮する。チップの収縮 (図 2.38 の①) およびはんだの収縮 (図 2.38 の②) は、信頼性評価試験における FCB 実装の破壊起点であるチップ端部 (応力集中部、図 2.36) に対して、引張応力として働くのに対して、基板の収縮 (図 2.37 の③) および UF 材の収縮 (図 2.37 の④) は圧縮方向の力として働き、他の引張応力を緩和する。チップ端部回路表面の残留応力は、①と②の和から③と④の和を引いた値で表すことが出来る。この①~④の各応力は、はんだ凝固開始温度と基板および UF のガラス転移温度 T_g により決定される。

これら①~④の応力の関係から、パッケージに反りが発生し、ピエゾ抵抗素子が位置するチップ表面には、圧縮応力が働いたと考えられる。

FCB 実装のみの CUF 注入前状態の残留応力 σ_{FCB} は、 $\sigma_{FCB} = ① + ② - ③$ の関係が成り立つ。CUF および NCF を使用した残留応力 σ_{CUF} 、 σ_{NCF} は $\sigma_{CUF} = ① + ② - ③ - ④_{CUF}$ 、 $\sigma_{NCF} = ① + ② - ③ - ④_{NCF}$ の関係が成り立つ。各応力ともに①+②-③は共通項のため、残留応力は④の UF 材の特性で決定され、その程度により引張応力、圧縮応力に変化する。

またパッケージを構成材は、引張応力、圧縮応力で表 2.10 に示すような影響を受けることが経験的に判っている。経時信頼性確保には、応力ゼロもしくは圧縮応力になっていることが優

位と考えている。



図 2.36 パッケージの応力集中箇所について[8]

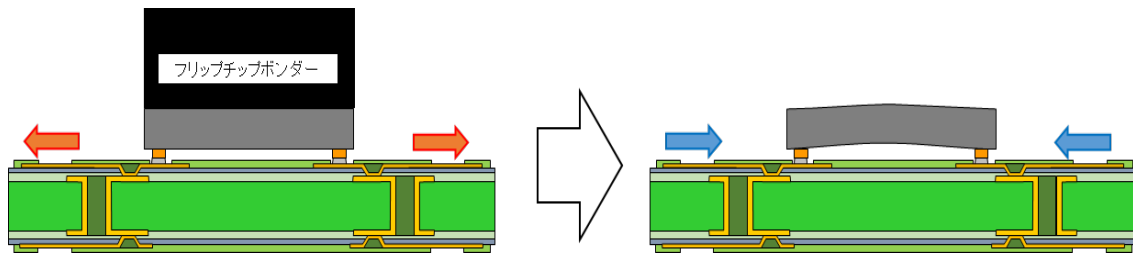


図 2.37 FCB 実装後冷却時の残留応力の発生メカニズム

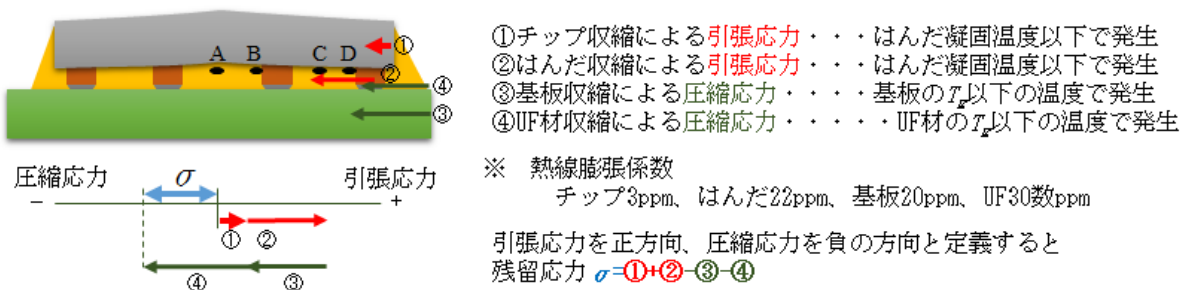


図 2.38 UF 材を用いた場合の残留応力の発生メカニズム

表 2.10 応力とパッケージ構成材料の関係[9]

	圧縮応力	引張応力
チップ	素子性能に影響	素子性能に影響
はんだバンプ	—	金属拡散促進
UF 材	—	界面剥離助長
基板	—	界面剥離助長

CUF、NCF(B)を用いたパッケージの残留応力は、共にチップの中央部に位置するピエゾ抵抗素子 A 部の残留応力の値が大きく、チップ端部に位置するピエゾ抵抗素子 D 部の残留応力の値が小さくなる傾向を示すことが分かった。

CUF を用いた FCB 後のパッケージでは、チップ中央のピエゾ抵抗素子 A 部の残留応力は約 40MPa~50MPa の圧縮応力が掛かっていることが分かった。

NCF(B)を用いた FCB 後のパッケージでは、チップ中央のピエゾ抵抗素子 A 部の残留応力は約 50MPa~60MPa の圧縮応力が掛かっていることが分かった。

今回の実験から CUF と NCF 工法では、チップ端部ピエゾ抵抗素子 D 部の残留応力に差があることが判った。その差は約 20MPa~30MPa である。さらに、NCF(A)の残留応力は CUF と比較すると全体的に約 20MPa 大きな圧縮応力がチップ中央からチップ端部まで均一に発生していることが分かった。この差は、CUF と NCF の T_g の差から発生していると考えられる。

また NCF を用いた FCB 実装パッケージのチップ端部ピエゾ抵抗素子 D 部に CUF には無い圧縮応力が発生していることが分かった。FCB 後と CUF のピエゾ抵抗素子 D 部の残留応力の値は小さいが引張応力となっている。一般的に半田バンプへの引張応力は半田ポンピングと呼ばれる Sn 等の特定金属だけが経時で偏析して脆弱化して接続不良を起こす原因となるため低減化が求められており、バンプには圧縮応力を掛けることが望まれる[9]。

本結果から CUF を使用した場合、端部の引張応力を如何に圧縮応力側に持って行くかが重要となりそうである。

NCF 使用パッケージ端部のピエゾ抵抗素子 D 部の圧縮応力は、端部に設置されるバンプの

応力低減には効果があり、NCF は CUF と比較して 60Mpa/50Mpa つまり 20%ほど低減効果があると考えられる。

また CUF 及び NCF ではバンプに近いところにピエゾ抵抗素子が位置する B 部、D 部で圧縮応力の増加が確認されている。このことから CUF 及び NCF 工法はバンプに掛かる応力をチップの位置に関係なく均一分散する効果が高いと考えられる。この結果より、より圧縮応力の高い NCF のバンプに掛かる応力の緩和効果は CUF より高いと考えられる。またピエゾ抵抗素子の方向による応力の差はほぼ無いことが分かった。

本実験より従来のシミュレーションでは難しいチップ内部での実残留応力の解析と CUF、NCF 工法別のチップ内部での応力分布とバンプへの応力低減効果の具体的な応力値及びチップ端部で CUF の引張残留応力と NCF の圧縮残留応力の違いを明らかにし、またその具体的な数値をもって CUF の信頼性劣化の原因と NCF のバンプ部の圧縮応力印可で信頼性劣化低減効果の差を解析することが出来た。

2.4.2 FCB パッケージの加熱試験による応力変化

実装実験 I (CUF)で実装したパッケージを用いた加熱試験からチップ中央付近に位置するピエゾ抵抗素子 A 部の応力値は、パッケージに掛かる温度が 30°Cから 120°Cへ温度上昇するに従い、圧縮応力が引張の残留応力方向に緩和されていることが分かり、約 90°C付近で圧縮応力がゼロを示した。またチップ端部ピエゾ抵抗素子 D 部に位置するピエゾ抵抗素子の応力値は、他部位より変動が小さく温度上昇試験中は引張応力が作用している結果となった。

実装実験 II (NCF)で実装したパッケージを用いた加熱試験からチップ中央付近に位置するピエゾ抵抗素子 A 部の応力値は、30°Cから 120°Cへ温度上昇するに従い、圧縮応力が引張の残留応力方向に緩和されていることが分かり、CUF 同様に約 90°C付近で圧縮応力がゼロを示した。また NCF のみで確認されたチップ端部のピエゾ抵抗素子 D 部の圧縮応力は、他部位と同じ変動中で小さくなっている結果となった。この点は、CUF とは異なる挙動を示す結果となった。

CUF と NCF 共に各 T_g 値に近づくにつれ、基板の熱膨張も大きくなり、チップの変形が小さくなることからチップ表面の応力変動は小さくなっている。また加熱処理により、圧縮応力から引張応力へと変化をした。異なる T_g 特性を持つ NCF (B) と NCF(C)の残留応力測定では、 T_g の高い NCF (C)の残留応力は NCF (B)の残留応力より 5MPa から 10 MPa 高い圧縮応力の値を示した。つまり半田熔融温度の 213°Cに近いところに高めの T_g 値を有する NCF(C)は NCF(B)より応力緩和性が高いと結果となる。

つまり半田（融点 213°C）が熔融した状態ではチップ及び基板の拘束はなく、チップ及び基板の熱膨張差はあるがチップ表面のピエゾ抵抗素子値の変動には現れてこない。NCF(B)と NCF(C)で接合時のヘッド温度が異なるが、半田熔融中は、チップと基板は拘束されないため、この差は影響を受けない。FCB の冷却工程により半田が凝固する 180°Cする温度でチップ基板が固定され、CUF や NCF のない FCB 実装パッケージでは応力が 180°C近傍で発生し、その発生応力はすべて接合バンプへの応力として伝わり、その幾らかはチップ変形応力になると考えられる。NCF(C)の場合、 T_g 温度 200°C地点でゴム状領域からガラス状領域に樹脂が固ま

るときにチップ基板間を固定封止することになる。つまり 213°C～200°Cの冷却温度では、熱膨張差で生じる応力はその殆どがバンプを通じた形でチップ表面に伝わり、 T_g 以下の温度では応力がバンプ及びチップ表面全体から伝わる応力に変化して、その状態で常温まで冷却されると考えられる。

本結果より、FCB 後のバンプへの応力緩和効果を考えると T_g の高い NCF(C)がその低減効果が高いと考えることが出来る。

2.4.3 FCB パッケージのリフロー試験

実装実験 I (CUF)及び実装実験 II (NCF)で実装したパッケージをMSL JEDEC Level 2aで吸湿熱処理後、260℃ピークリフロー試験を行った。NCF(B)及びNCF(C)はMSL吸湿リフロー試験前後で、その残留応力の値はほとんど変化が無いことを確認した。またCUFの吸湿リフロー試験前後で、ピエゾ抵抗素子A部、ピエゾ抵抗素子B部、ピエゾ抵抗素子C部共に大きな変化は見られなかったが、チップ端部ピエゾ抵抗素子D部の残留応力値が圧縮方向に増加を確認した。またCSAM観察を通じて剥離観察を行い、CUF(B)、NCF(C)では、剥離を示す白い領域は確認されず、良好なリフロー耐熱性があることを確認した。ピエゾ抵抗素子D部の圧縮応力増加については、CSAM観察から封止樹脂と基板界面で剥離を示す白い領域がピエゾ抵抗素子A部、ピエゾ抵抗素子B部及びピエゾ抵抗素子C部で確認されたことから、これら剥離により図2.39のイメージに示すようにピエゾ抵抗素子D部への応力集中が生じたと考えられる。今回のように接続部がオープンにならない場合、本TEGで剥離に伴う部分的な残留応力の増加を捉えることが出来、その値は、チップ表面で約20MPa掛かることが明らかとなった。

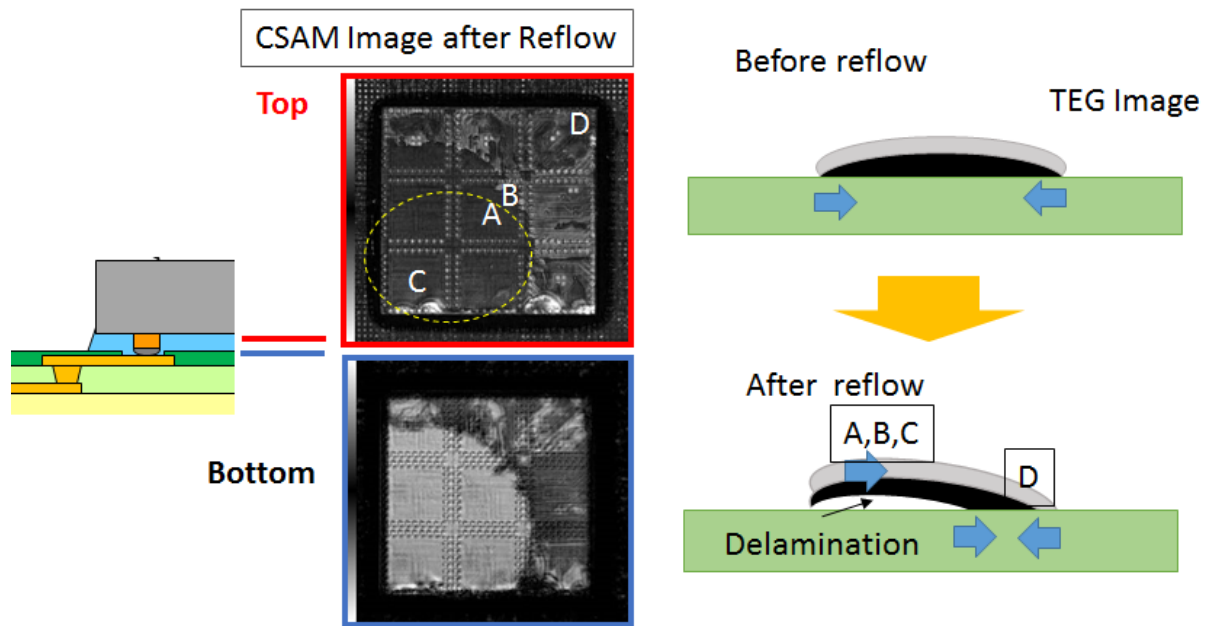


図 2.39 CUF 使用の実装パッケージのリフロー試験後の CSAM 結果と残留応力イメージ

第 2 章の参考文献

- [1] C.S. Smith, “Piezoresistance Effect in Germanium and Silicon”, *Physical Review*, Vol. 94, No. 1, pp. 42-49, 1954.
- [2] N. Watanabe, T. Asano, “Influence of direct Au-bump formation on metal oxide semiconductor field effect transistor”, *Japan Journal of Applied Physics*, Vol. 41, Part 1, No. 4B, pp. 2714-2719, 2002.
- [3] S. Takagi, J.L. Hoyt, J.J. Welse, J.F. Gibbons, “Comparative study of phonon-limited of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors”, *Journal of Applied Physics*, Vol. 80, No. 3, pp. 1567-1577, 1996
- [4] D. Lee, S. Kim, M. Kim, O. Bae, K. Kim, H. Kang, “Fabrication of Die Embedded Substrate and Mechanical Stress Evaluation at Active Area of the Embedded Die”, *10th Electronics Packaging Technology Conference (EPTC)*, pp. 224-229, 9-12 December 2008.
- [5] <http://www.rins.ricoh.co.jp/technology/img/barechip-01.gif>
- [6] Technical Report, WALTS Co., LTD STAC-TEG 納入仕様書 No.150925-D3725, 25 September 2015.
- [7] Joint Industry standard IPC/JEDEC J-STD-020D.1, March 2008.
- [8] Ridgetopgroup "Interconnect Intermittency Detection with SJ BIST™", Technical slide, <http://slideplayer.com/slide/3227716/Challenges in Manufacturing Reliable Lead Free>
- [9] Components, ALTERA, Ver1.0, p6, February 2004.

第3章 NCFを用いたFCBパッケージ構造と残留応力

3.1 NCF工法におけるチップ厚・基板種が残留応力に及ぼす影響評価

前2章ではチップ表面にピエゾ抵抗素子を内蔵したTEGを用いてCUF及びNCFを使用したFCB実装を行い、ピエゾ抵抗素子の抵抗値からCUF及びNCF工法における実残留応力と加熱におけるパッケージに発生する実残留応力をリアルタイムで測定できることを明らかにした。

本章では封止材をNCFに限定して、さらに1種類の低 T_g のNCF(A)を追加し、 T_g 、 CTE 特性の異なる3種類のNCFを用いてFCB実装に使用する構成材を実際使用されるパッケージに近い構成になるように、つまりパッケージのチップ厚み及び基板厚み、基板種を変えることにより、ピエゾ抵抗素子に発生する実残留応力がどのように変化するかを明らかにする。本章で用いるFCBパッケージの構造パラメータを表3.1に示す。

表 3.1 FCBパッケージ構造のパラメータ

チップ厚 μm		基板厚 μm			基板種			層間絶縁材				備考
					有機基板		シリコン インターポーザ	CUF	NCF(A)	NCF(B)	NCF(C)	
550	200	1000	725	370	STAC 0201JY	IP0304 SUB	IP0305 Si	●	●	●	●	第2章
●		●			●			●		●	●	第3章
●			●				●		●	●	●	第3章
●				●			●		●	●	●	第3章
	●			●		●			●	●	●	第3章
	●			●			●		●	●	●	第3章

3.2 実験方法

3.2.1 FCB 工程による応力変化の測定方法

図 3.1 に本章で用いるチップの構造を示す。チップ内の残留応力分布を詳細に確認するために、第 2 章の piezoresistive sensor A 部、同 B 部、同 C 部、同 D 部から 2 カ所同 E 部、同 F 部を追加している。本章で使用する各 piezoresistive sensor のチップ中央からの距離を表 3.2 に示す。

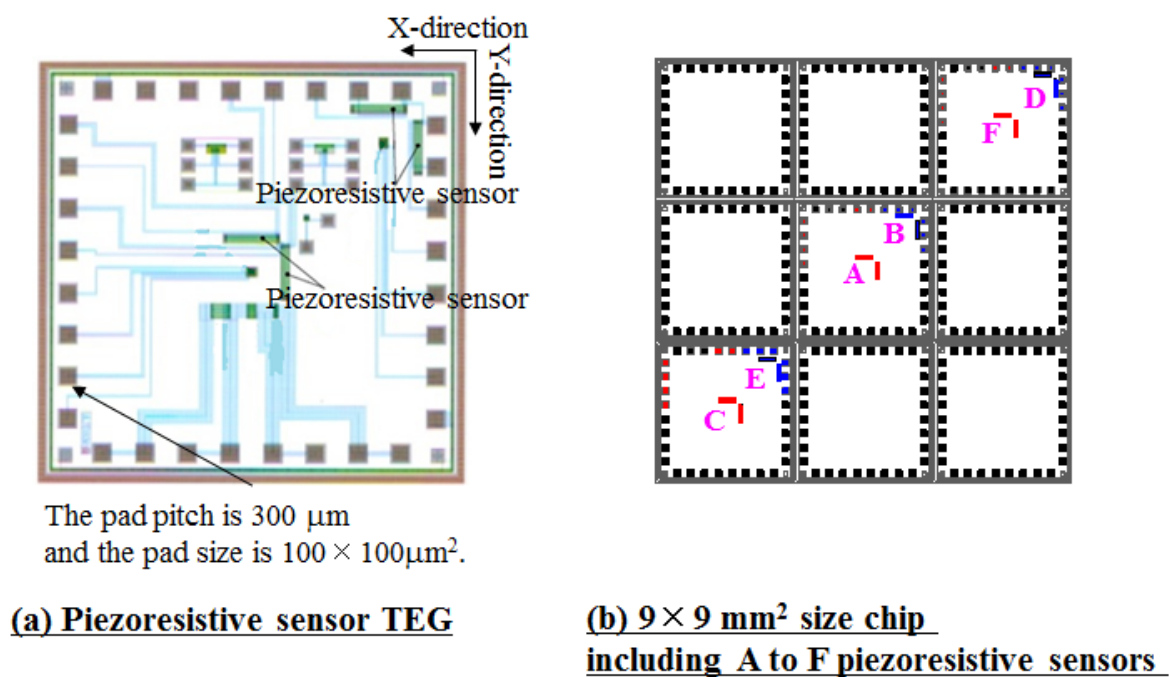


図 3.1 ピエゾ抵抗素子の配置

表 3.2 各ピエゾ抵抗素子のチップ中央からの距離

Position	The distance from the chip center (mm)
A	-0.29
B	-1.15
C	3.29
D	-4.15
E	1.85
F	-3.29

本実験で用いた NCF の物性について、表 3.3 に示す。

表 3.3 NCF の物性値

種 類	ファイバー含有量 (wt%)	ガラス転移温度 T_g (° C)	弾性率 (Mpa)	線膨張係数CTE (ppm/° C)	
				T_g 以下	T_g 以上
NCF(A)	50	131	4.2	64	104
NCF (B)	50	142	6.7	33	125
NCF (C)	50	200	5.9	38	114

また本実験で用いた有機基板 (IP0304_SUB) の外観を図 3.2 に、その基板断面を図 3.3 に示す。表 3.4 には IP304_SUB 基板の基本仕様を示す。図 3.4 には、シリコンインターポーザ基板 (IP0305_Si) の外観を、その基板断面を図 3.5 に示す。また表 3.5 には IP305_Si 基板の基本仕様を示す。

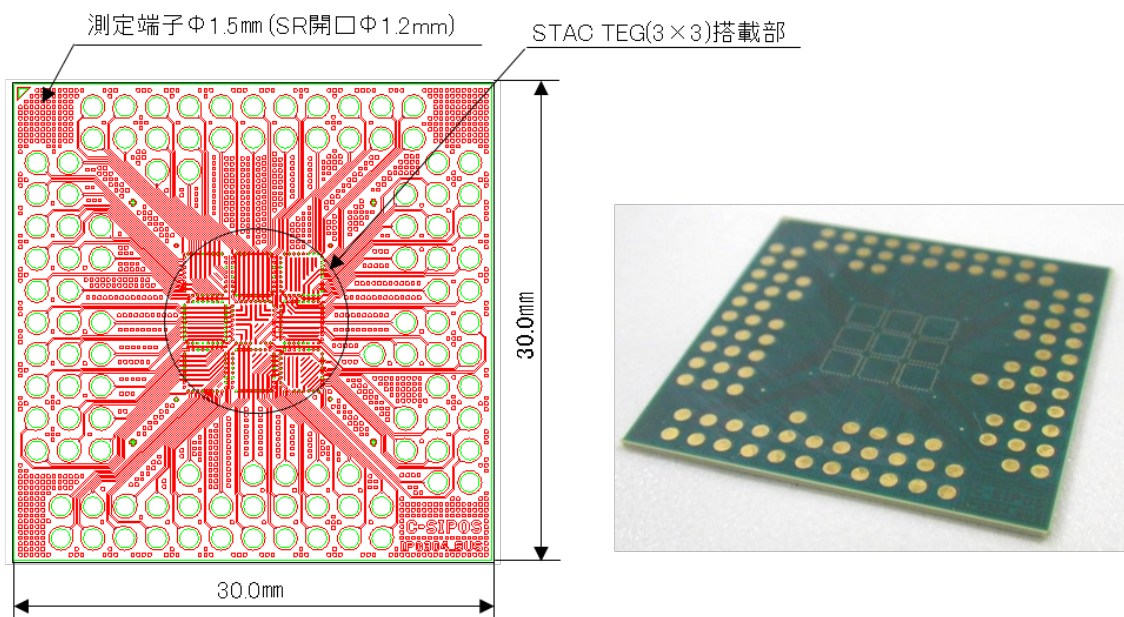


図 3.2 プリント基板(IP0304_BUS)の外観

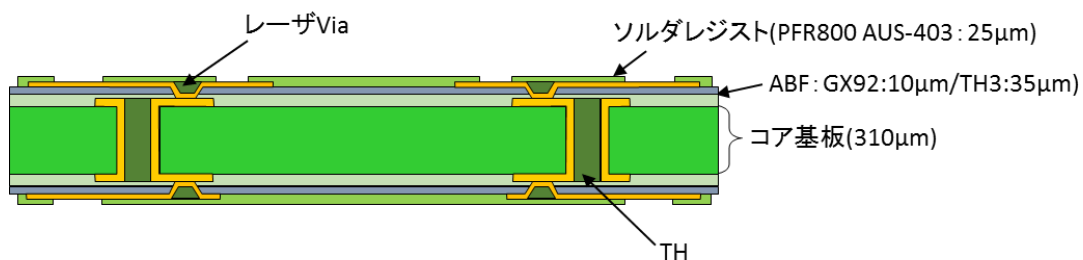


図 3.3 プリント基板(IP0304_SUB)の断面概略図

表 3.4 プリント基板(IP0304_BUS)の基本仕様

基本仕様	IP0304_SUB
対応チップ	STAC-0101JY(3×3)
基板サイズ	30.0mm×30.0mm
基板厚	0.37mm
コア材	FR4
ビルドアップ材	ABF GX-92/TH3 (10μm/35μm)
ソルダレジスト	PFR800 AUS-403 (25μm)
端子表面処理	無電解 Ni/Au めっき
bumps 搭載部ランド径	φ 170μm(SR 開口 φ 120μm)
測定端子サイズ	φ 1.5mm(SR 開口 φ 1.2mm)

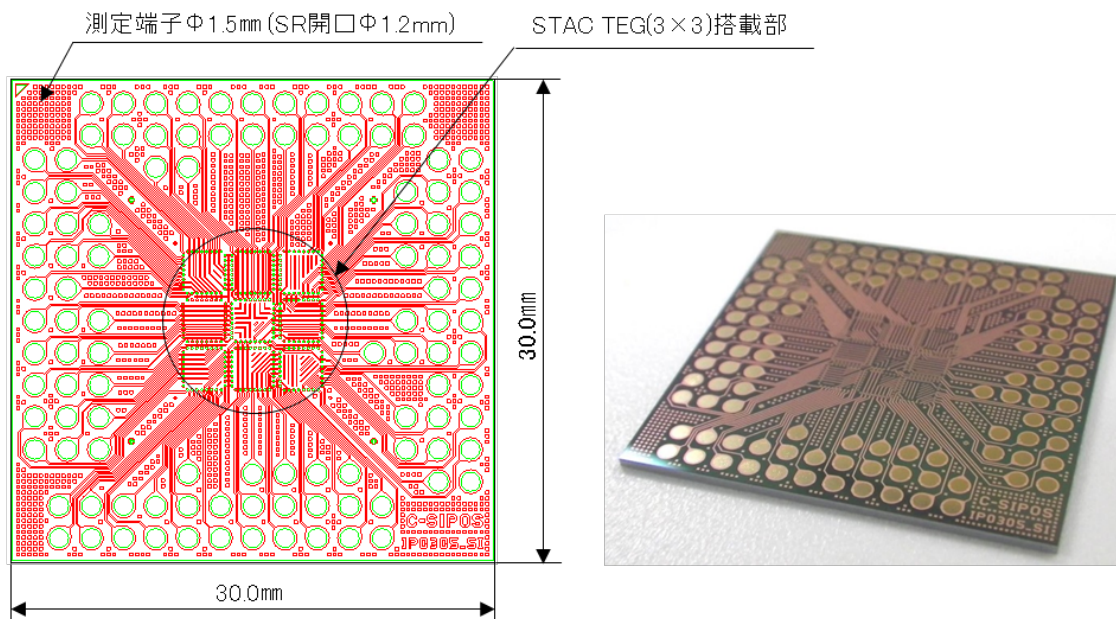


図 3.4 シリコンインターポーザ基板(IP0305_Si)の外観

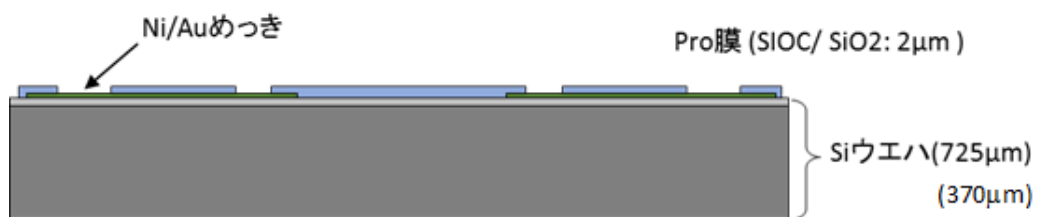


図 3.5 シリコンインターポーザ基板(IP0305_Si)の断面概略図

表 3.5 シリコンインターポーザ基板(IP0305_Si)の基本仕様

基本仕様	IP0305_Si
対応チップ	STAC-0101JY(3×3)
基板サイズ	30.0mm×30.0mm
基板厚	0.37mm、0.725mm
Pro 膜	SIOC/SiO ₂ (2μm)
端子表面処理	無電解 Ni/Au めっき
バンプ搭載部ランド径	φ 170μm(Pro 膜開口 φ 120μm)
測定端子サイズ	φ 1.5mm(Pro 膜開口 φ 1.2mm)

図 3.6 に NCF を用いた FCB 工程による応力変化の実験の流れを示す。また、応力計算に用いるパラメータを表 3.6 に、ピエゾ抵抗素子値の定義を表 3.7 に示す。ウェハを 9mm×9mm のチップにダイシングし、ピエゾ抵抗素子の初期値 R_0 を 4 端子法にて測定する。次に、使用するチップ配線面に NCF を真空ラミネーター(ATM-812, Takatori Co., Ltd.)にてラミネートし、図 2.15 に示すフリップチップボンダーを使用し、チップを有機基板もしくはシリコンインターポーザ基板に実装する。実装後 X 線装置にてバンプと接続端子との位置関係とはんだの硬化形状を確認後、バイク炉にて 150℃で 60 分間バイクし、フリップチップ工程後のピエゾ抵抗素子 R_I を測定することで、NCF を用いた実装工程で発生した残留応力を求める。ここで用いる計算式は CUF 同様に式(2.2)を用いる。ただし、応力感度 S の温度依存性 α については、WALTS-TEG STAC-0101JY(SiN)納入仕様書に掲載されている値($\alpha = 6.332 \times 10^{-8}/^{\circ}\text{C}$)を使い、応力感度 S 、ピエゾ抵抗の温度依存性 β_1 および β_2 は、TEG チップのピエゾ抵抗素子の物性値の測定により求められた値を用いる。

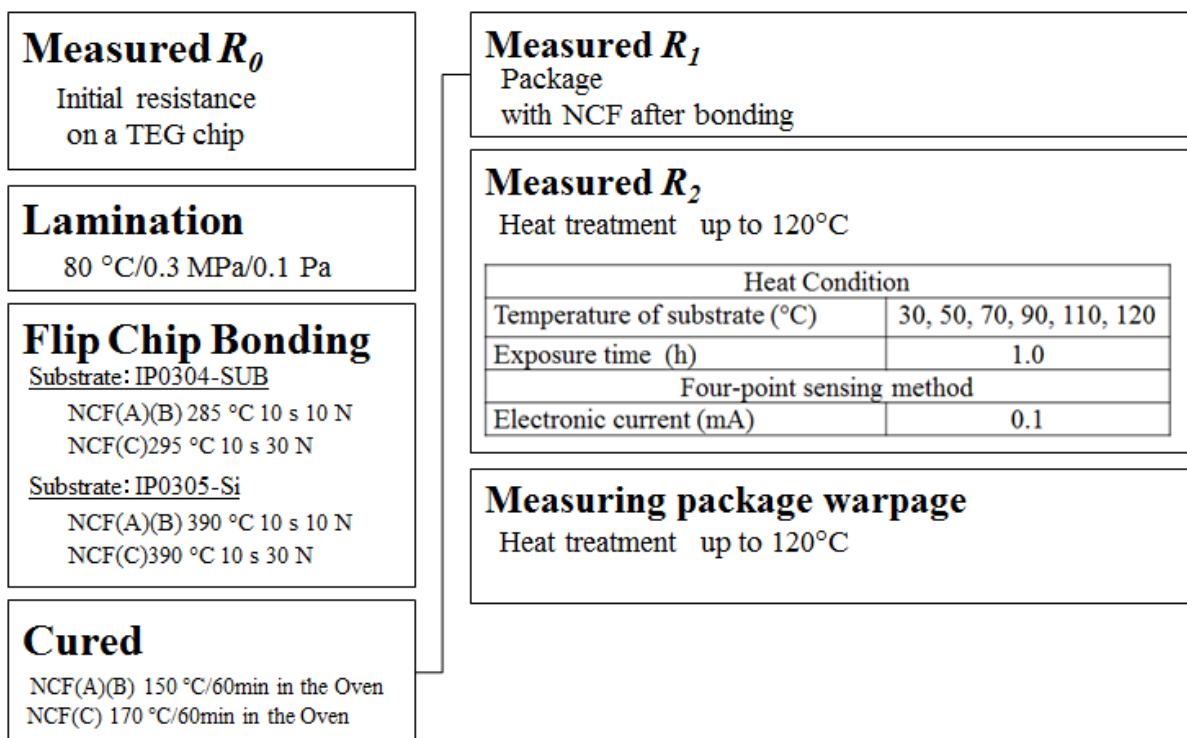


図 3.6 NCF を用いた FCB 実装プロセスフロー

表 3.6 応力計算に用いるパラメータ

パラメータ	値
応力感度 S	$S_{(T_0)} = -1.31 \times 10^{-4} / \text{MPa}$
応力感度の温度依存性 α	$6.33 \times 10^{-8} / ^\circ\text{C}$
ピエゾ抵抗の温度依存性 β_1	$1.60 \times 10^{-3} / ^\circ\text{C}$
ピエゾ抵抗の温度依存性 β_2	$-2.44 \times 10^{-7} / ^\circ\text{C}$

表 3.7 ピエゾ抵抗素子値の定義

	Piezo-resistance
R_0	Initial resistance on a TEG chip
R_1	Package with NCF after bonding
R_2	Package with NCF in a hot oven

3.2.2 FCB パッケージの加熱試験方法

加熱試験の測定は、FCB 工程による応力変化の測定後のパッケージを使用し、2 章の加熱試験測定と同じ条件で測定を行った。

3.3 実験結果

3.3.1 FCB 工程による応力変化の測定結果

実装実験 I

チップの厚さ $550\mu\text{m}$ の STAC-0101JY(ピエゾ素子の配置は図 3.1)、厚さ $370\mu\text{m}$ の有機基板 IP0304_SUB と厚さ $725\mu\text{m}$ のシリコンインターポーザ基板 IP0305_Si、NCF(A,B,C)を用いたフリップチップの実装条件について述べる。

有機基板 IP0304_SUB、NCF(A,B)を用いる場合、温度 100°C のステージに基板を置き、温度 150°C のフリップチップボンダーのヘッドでチップをピックアップし、位置を合わせ、荷重 10N でプリント基板に押し付ける。次に、ヘッドの温度を 285°C まで上昇させ、はんだバンプの融解時に $10\mu\text{m}$ だけチップをプリント基板に押し付ける。その後、 150°C まで冷却し、はんだバンプを硬化させる。有機基板 IP0304_SUB、NCF(C)を用いる場合、ステージ温度とピックアップ時のヘッド温度は同じだが、荷重 30N でプリント基板に押し付け、ヘッドの温度を 295°C まで上昇させ、はんだバンプの融解時に $20\mu\text{m}$ だけチップを基板に押し付ける。その後、 150°C まで冷却し、はんだバンプを硬化させる。

次に、Si 基板 IP0305_Si、NCF(A,B)を用いる場合、温度 100°C のステージにプリント基板を置き、温度 150°C のフリップチップボンダーのヘッドでチップをピックアップし、位置を合わせ、荷重 10N でプリント基板に押し付ける。次に、ヘッドの温度を 390°C まで上昇させ、はんだバンプの融解時に $10\mu\text{m}$ だけチップをプリント基板に押し付ける。その後、 150°C まで冷却し、はんだバンプを硬化させる。Si 基板 IP0305_Si、NCF(C)を用いる場合、荷重 30N 、押し込み量 $20\mu\text{m}$ に変えて実装する。NCF のキュア条件は、NCF(A,B)を用いる場合 150°C で 1 時間、NCF(C)を用いる場合、 170°C で 1 時間とした。

図 3.7 に有機基板 IP0304_SUB を用いた FCB 工程による応力変化の測定結果を示す。縦軸は残留応力、横軸はピエゾ抵抗素子の位置を示している。この結果から、NCF(A,B)を用いた残留応力がチップ中央部ピエゾ抵抗素子 A 部、ピエゾ抵抗素子 B 部で $100\text{MPa}\sim 110\text{MPa}$ の

圧縮応力、チップ端部ピエゾ抵抗素子 D 部で 40MPa の圧縮応力を示している。しかし、NCF(C) を用いた残留応力はチップ中央部のピエゾ抵抗素子 A 部、ピエゾ抵抗素子 B 部で 70MPa～80MPa の圧縮応力、チップ端部ピエゾ抵抗素子 D 部で 50MPa～70MPa の圧縮応力を示し、他と異なることが分かった。一方、シリコンインターポーザ基板 IP0305_Si を用いた FCB 工程による応力変化の測定結果を図 3.8 に示す。シリコンインターポーザ基板を用いた場合、NCF(A,B,C)の残留応力は 0MPa～20MPa となり、有機基板と比較して非常に小さい値となった。その中にある NCF(C)の残留応力は NCF(A,B)の残留応力よりも大きくなる傾向を示した。しかしながらその残留応力差も小さく、シリコンインターポーザ基板を使用した場合には NCF の物性による差は小さくなることが分かった。そして、ピエゾ抵抗素子の方向による応力の差はほぼ無いことが分かった。

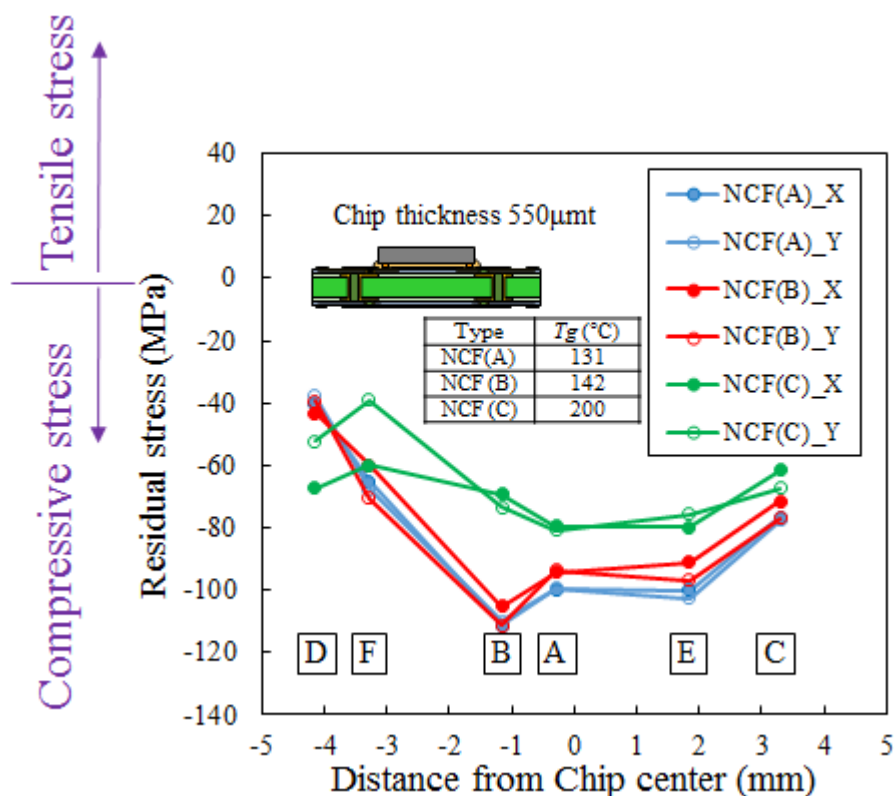


図 3.7 550µm 厚チップでの有機基板における残留応力分布

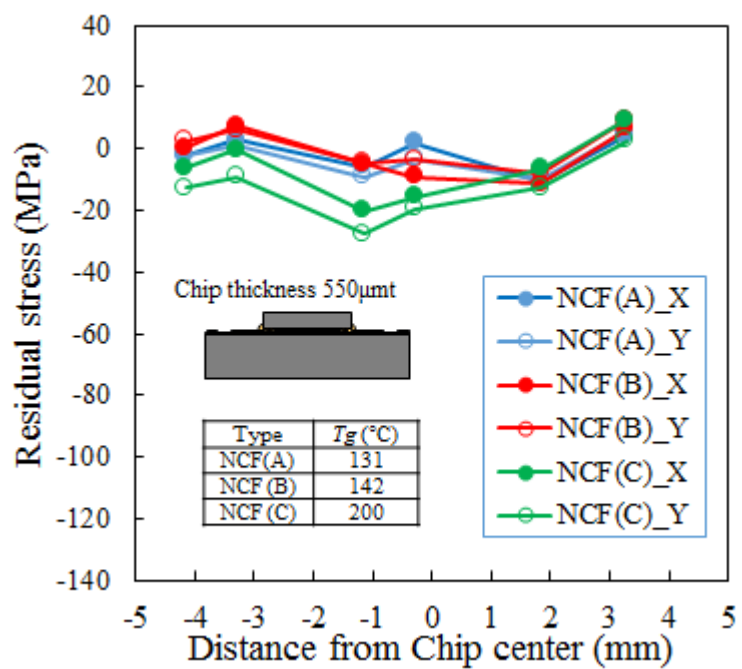


図 3.8 550 μ m 厚チップでのシリコンインターポーザ基板における残留応力分布

実装実験Ⅱ

次に先のシリコンインターポーザ基板の結果がシリコンインターポーザ基板の厚みによる可能性もあることから、より実際の構成に近い薄厚のチップと基板の構成による残留応力測定を行った。

具体的にはチップの厚さ 200 μm の STAC-0101JY、厚さ 370 μm の有機基板 IP0304_SUB と厚さ 370 μm のシリコンインターポーザ基板 IP0305_Si、NCF(A,B,C)を用いたフリップチップの実装条件結果について述べる。実装条件は先の実装実験Ⅰと同じとした。

図 3.9 に有機基板 IP0304_SUB を用いた FCB 工程による応力変化の測定結果を示す。縦軸は残留応力、横軸はピエゾ抵抗素子の位置を示している。この結果から、NCF(A,B)を用いた残留応力がチップ中央部ピエゾ抵抗素子 A 部、ピエゾ抵抗素子 B 部で 100MPa~120MPa の圧縮応力、チップ端部ピエゾ抵抗素子 D 部で 70MPa~80MPa の圧縮応力を示し、薄くなったことにより 10MPa 程度圧縮応力が増加した。NCF(C)を用いた残留応力はチップ中央部のピエゾ抵抗素子 A 部、ピエゾ抵抗素子 B 部で 90MPa~100MPa と薄化により先の 70MPa~80MPa の圧縮応力から約 20MPa 増加した。チップ端部ピエゾ抵抗素子 D 部では 40MPa と薄化前の 50MPa~70MPa の圧縮応力から引張方向に 10MPa~30MPa 低減することがわかった。残留応力は、 T_g の低い NCF(A)で一番大きく、 T_g が大きくなるにつれ、圧縮の残留応力値は小さくなることがわかった。

一方、シリコンインターポーザ基板 IP0305_Si を用いた FCB 工程による応力変化の測定結果を図 3.10 に示す。シリコンインターポーザ基板の場合も薄化により引張の残留応力 20MPa から圧縮の残留応力 20MPa の範囲となることがわかった。本結果では NCF(C)の残留応力が NCF(A,B)の残留応力よりも大きくなるような傾向はなくなり、薄化によりさらに NCF の物性による差は小さくなることが分かった。また本結果でもピエゾ抵抗素子の方向による応力の差はほぼ無いことが分かった。

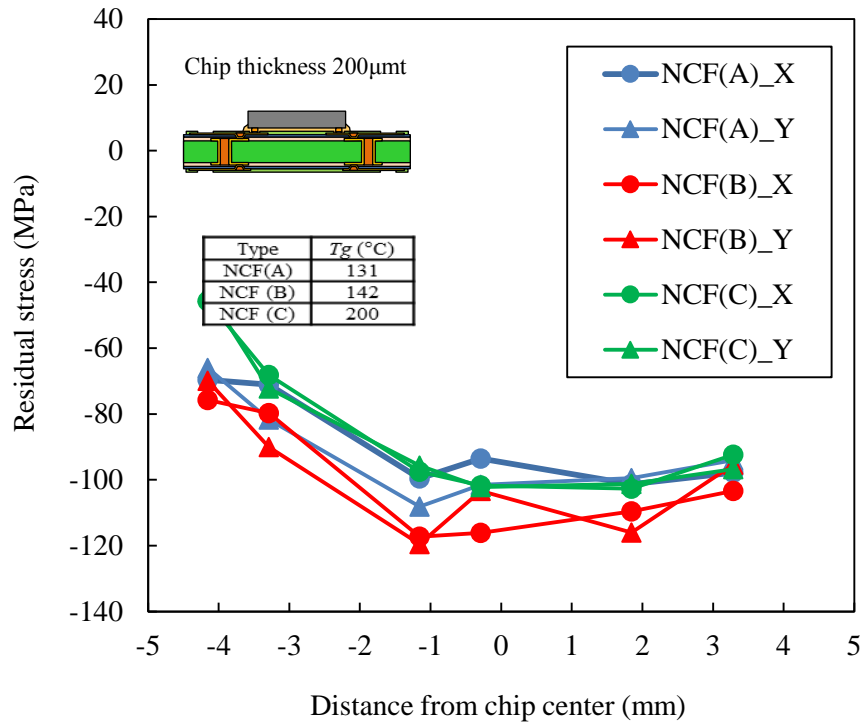


図 3.9 200µm 厚チップでの有機基板における残留応力分布

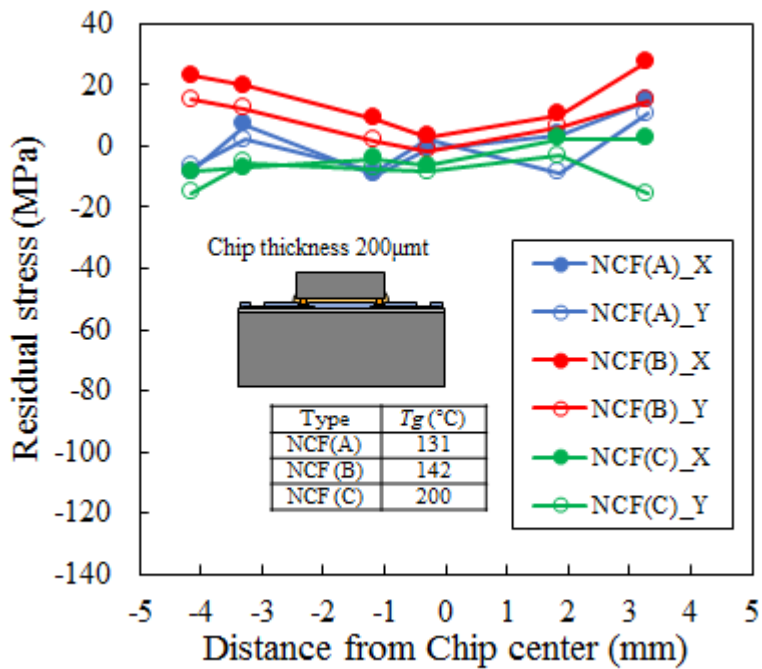


図 3.10 200µm 厚チップでのシリコンインターポーザ基板における残留応力分布

3.3.2 FCB パッケージの加熱試験結果

加熱試験 I (IP0304_SUB 有機基板と NCF(A,B,C))

図 3.11～図 3.13 に実装実験 II で IP0304_SUB 有機基板と NCF(A,B,C)を用いて実装したパッケージを用いた加熱試験の結果を示す。NCF(A,B,C)のピエゾ抵抗素子の残留応力は、温度上昇に従って応力緩和されていることがわかった。 T_g の高い NCF(C)の応力は NCF(A,B)と比較して X 方向,Y 方向ともにバラツキが少なかった。

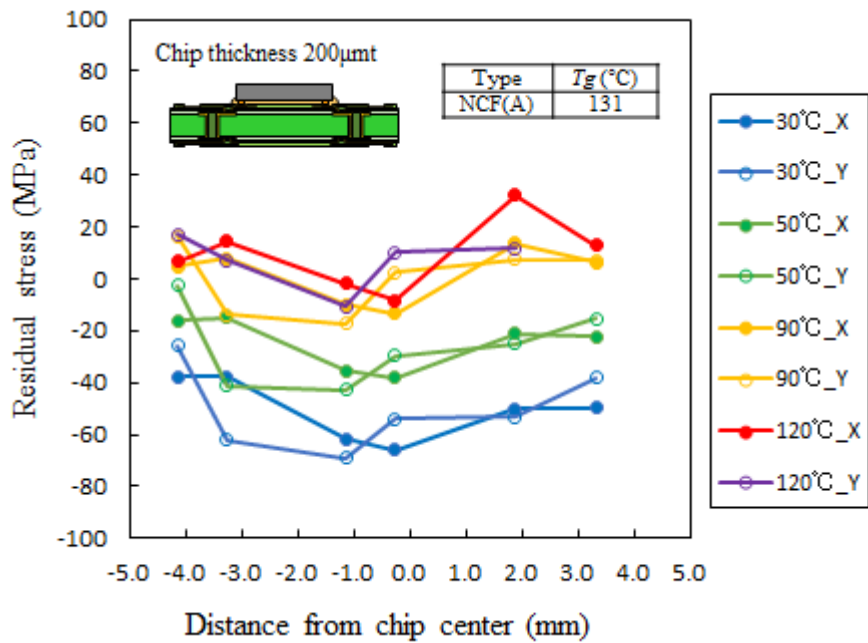


図 3.11 IP0304_SUB 有機基板と NCF(A)を用いたパッケージの加熱による残留応力変化

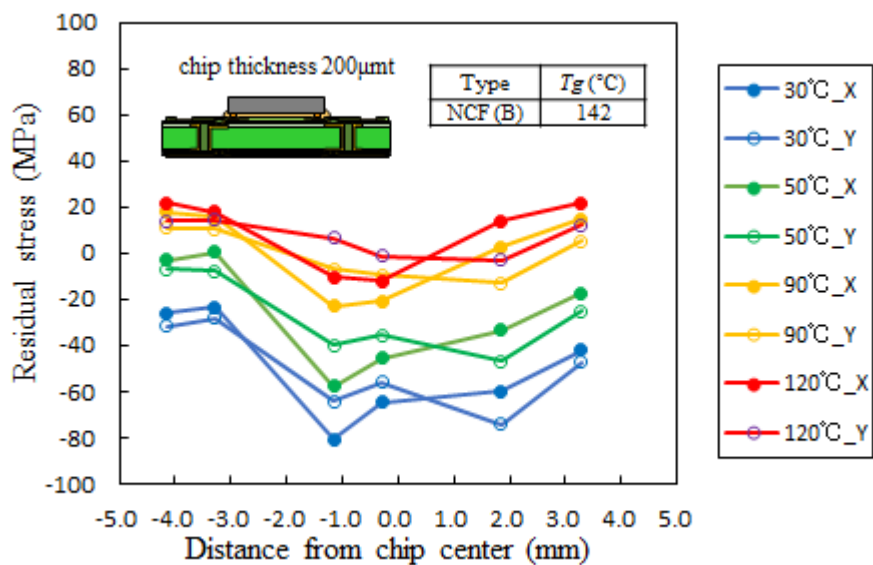


図 3.12 IP0304_SUB 有機基板と NCF(B)を用いたパッケージの加熱による残留応力変化

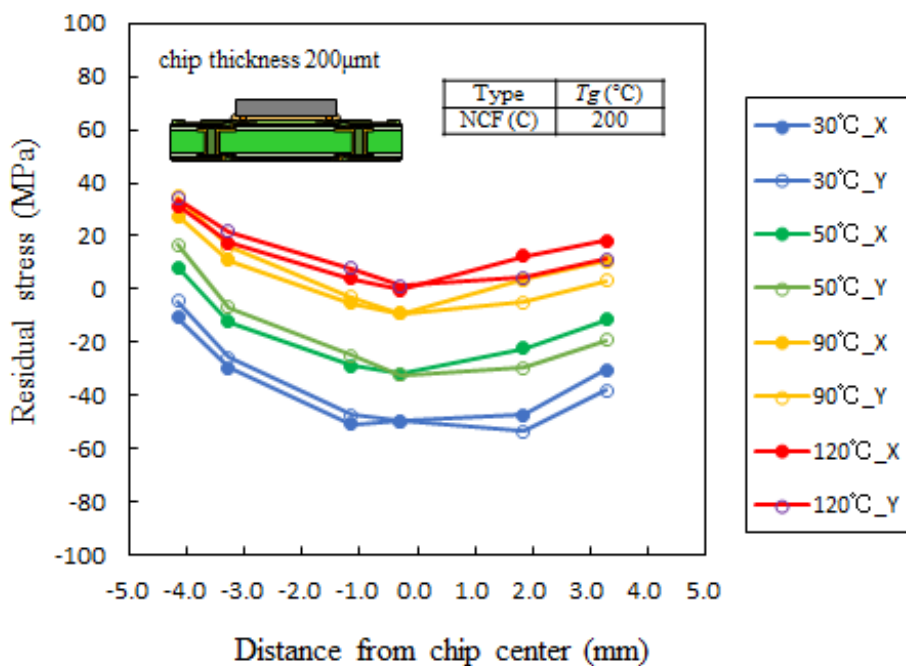


図 3.13 IP0304_SUB 有機基板と NCF(C)を用いたパッケージの加熱による残留応力変化

加熱試験Ⅱ（IP0305_Si シリコンインターポータ基板と NCF(A,B,C)）

図 3.14～図 3.16 に実装実験Ⅱで IP0305_Si シリコンインターポータ基板と NCF(A,B,C)を用いて実装したパッケージを用いた加熱試験の結果を示す。ピエゾ抵抗の応力値は、温度上昇に従い、圧縮応力が緩和される方向に働いているが、有機基板のパッケージの残留応力値と比較すると、変動が小さいことが分かった。しかし、NCF(C)を用いた FC 実装パッケージの加熱による応力値の変化が他と比べて大きいことが分かった。

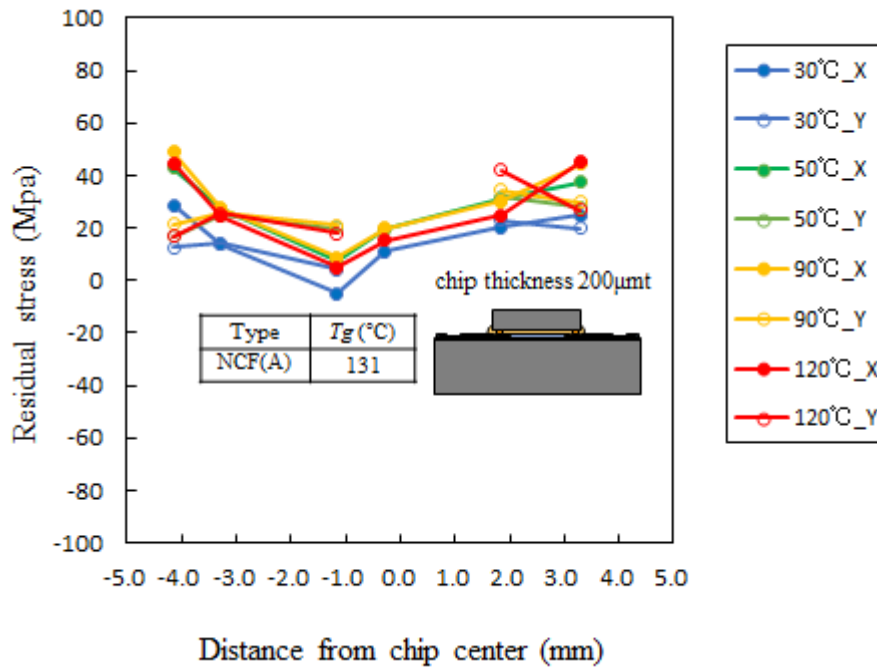


図 3.14 IP0305_Si シリコンインターポータ基板と NCF(A)を用いたパッケージの加熱による残留応力変化

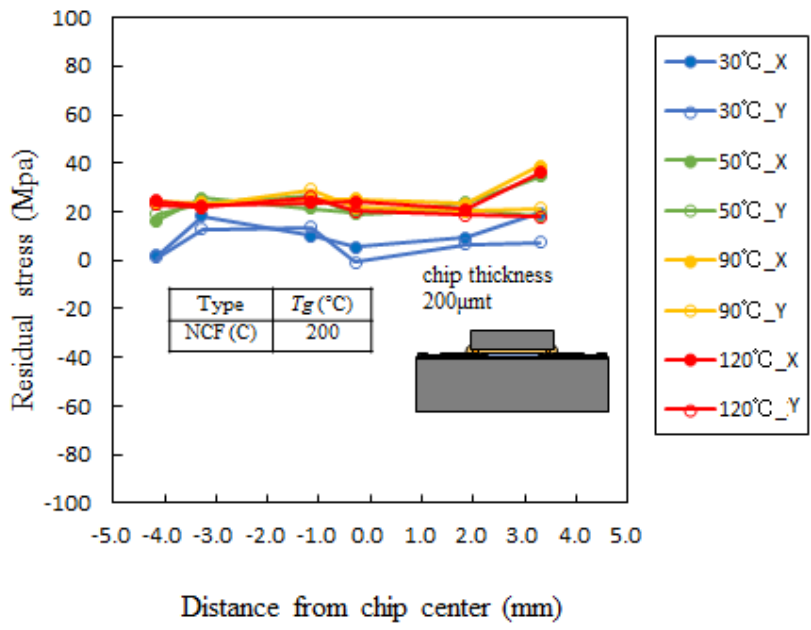


図 3.15 IP0305_Si シリコンインターポーザ基板と NCF(B)を用いたパッケージの加熱による残留応力変化

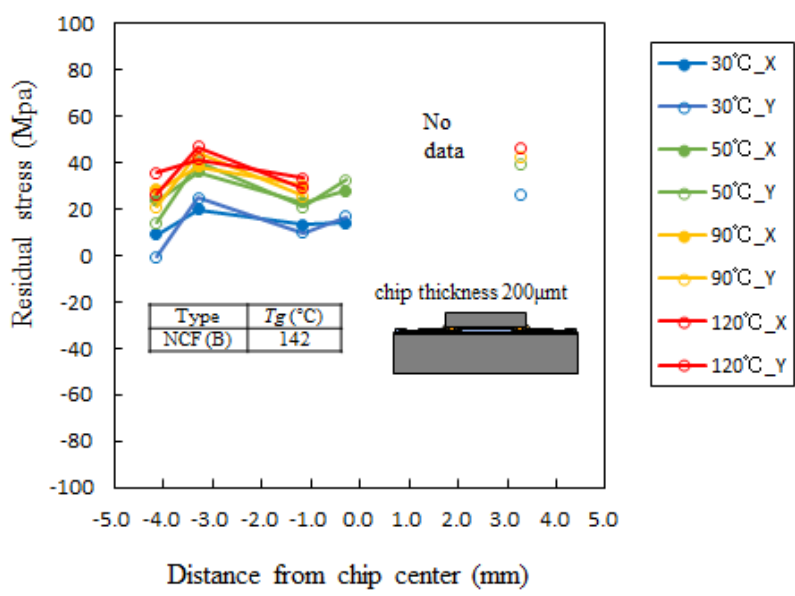


図 3.16 IP0305_Si シリコンインターポーザ基板と NCF(C)を用いたパッケージの加熱による残留応力変化

3.4 考察

3.4.1 FCB 工程による応力変化の測定

NCF を介したフリップチップ実装実験 I 及び II の有機基板 IP0304_SUB を用いた FCB 工程による応力変化の測定結果を表 3.8 に示す。

NCF(A,B)を用いた残留応力では、チップ厚みが 350 μm 薄くなったことにより最大応力で 5MPa \sim 10MPa、最小応力で 30MPa \sim 35MPa 圧縮応力が増加した。NCF(C)の場合、NCF(A,B)よりは少し異なり、薄化により最大応力で 20MPa、最小応力で 5MPa 増加した。この結果より、残留応力は、 T_g の低い NCF(A)で一番大きく、 T_g が大きくなるにつれ、圧縮の残留応力値は小さくなることがわかった。また圧縮応力が大きいことからよりチップが変形していると考えることが出来、チップ薄化によりチップの変形が大きくなったことが推察され、パッケージのそりが T_g の低い NCF を使用したパッケージやチップ厚みの薄いパッケージで大きくなると考えられる。

表 3.8 IP0304 有機基板、NCF(A,B,C)の実装パッケージの FCB 後の残留応力

	チップ厚550 μm		チップ厚200 μm	
	最大残留応力MPa	最小残留応力MPa	最大残留応力MPa	最小残留応力MPa
NCF(A)	110	40	120	75
NCF(B)	105	40	110	70
NCF(C)	80	40	100	45

シリコンインターポーザ基板を用いた場合、NCF(A,B,C)の残留応力は 0MPa~20MPa となり、有機基板と比較して非常に小さく、その中にあっても NCF(C)の残留応力は NCF(A,B)の残留応力よりも大きくなる傾向を示した。しかしながらその残留応力差も小さく、シリコンインターポーザ基板を使用した場合には NCF の物性による差は小さくなることが分かった。

チップと基板間で熱膨張の差がほとんど無い場合は本実装実験の NCF の物性差では、影響度が少ないことが明らかとなった。

3.4.2 FCB パッケージの加熱試験

加熱試験結果より、パッケージ周辺温度を上昇させると、IP0304_SUB 有機基板の場合、フリップチップ実装と NCF の硬化により発生した残留応力が緩和される現象が起きた。この原因は、加熱することで基板が膨張し、実装時に発生した基板の膨張と同程度になることで、圧縮応力が緩和されたと考えられる。IP0305_Si のシリコンインターポーザ基板は加熱による残留応力の低下は見られるが、有機基板と比較してその値は非常に小さい結果となった。

将来のパッケージの薄化トレンドとバンプ保護の両立を考えると、熱膨張差の非常に少ないシリコンインターポーザ基板を使用して、応力変動が少ない高 T_g の NCF(C) のような NCF を選択することがより熱履歴に強いパッケージ設計には必要と考えられる。

第4章 ピエゾ抵抗素子による残留応力評価とそり測定

4.1 ピエゾ抵抗素子による残留応力評価とそり測定

第3章では、NCFを用いた実装パッケージの残留応力評価を行った。第3章の考察でNCFとパッケージのそりと何らかの関係性があると考え、従来から知られているシャドーモアレ法を用いて、FCB実装後から加熱処理による実そり測定を行い、第3章で求めた残留応力との相関性を評価し、本研究の有効性を検証する。

4.2 実験方法

4.2.1 シャドーモアレ法によるそり測定原理

半導体パッケージの反りには、一般的に接触変位計や非接触のレーザー変位計、シャドーモアレ装置などを用いて行う。パッケージを構成する基板やチップは、その製造工程で構成材料それぞれの熱圧縮の影響で、初期の状態からそりが発生する。今回はそりを測定するためにシャドーモアレ法を用いて、温度を 30℃ から 120℃ まで変化させた時の実そり測定を行った。

図 4.1 にシャドーモアレ法の概略図を示す。

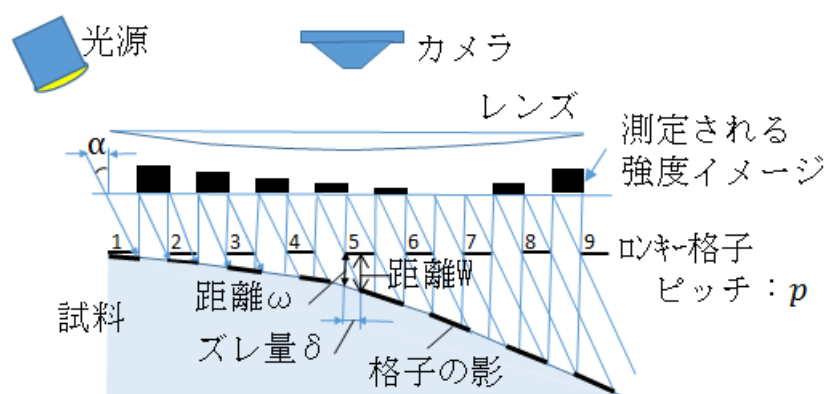


図 4.1 シャドーモアレ法の概略図

所定の位置の光源からの白色光がロンキー格子を通ることで、格子の影は測定試料の表面に投じられる。このときに発生したロンキー格子と格子の影による幾何学的な干渉縞が観測され、モアレ縞と呼ばれている。モアレ縞は等高線を示し、これを位相解析することで高精度に 3 次元形状を求めることができる。また、ロンキー格子は無色透明なフロートガラスに平行線のパターンが形成されたガラス基板で、温度の変化に対してほぼ膨張しないため、格子幅が不変であり、高温時のそり測定に一般的に利用されている。

格子の影のズレ量 δ は、入射角 α とロンキー格子と試料の距離 ω から式 4.1 の関係式が成立する。

$$\delta = \omega \tan \alpha \quad (4.1)$$

m 番目の影は、m+1 番目のロンキー格子側に拡がってくる。ωはロンキー格子と試料の距離 W とほぼ同じと考え、 $[(m+1) - m]p = \omega \tan \alpha$ となり、 $\omega = p / \tan \alpha$ となる。

試料の形状 W は、式 4.2 から求めることができる、

$$W = \frac{Np}{\tan \alpha} \quad (4.2)$$

式 4.2 に観測角βを考慮すると、パッケージのそり W は式(4.1)によって求めることができる [1]。

$$W = \frac{Np}{\tan \alpha + \tan \beta} \quad (4.3)$$

ここで、Nは縞次数、pは格子間隔、αは入射角、βは観測角である。一般的に入射角αは 45° 以上で、観測角βは 0° である。

4.2.2 シャドーモアレによる測定方法

本実験では、JEITA 規格 EDR-7334 記載のシャドーモアレ装置（Akrometrix 社製サーモレイ PS200e）を使用して第 3 章の実装実験 I 及び実装実験 II で作成して加熱評価済みの実装パッケージのそり評価を行った。本装置のそり評価は図 4.2 に示すように実装したパッケージの基板側から光源を当てて、チップの対角に相当するエリアを評価してその値をそり値とした。

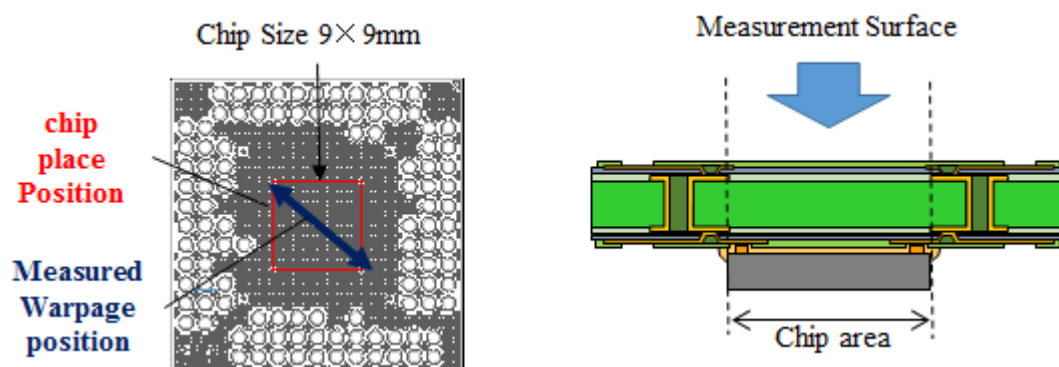


図 4.2 シャドーモアレ測定方法

4.3 実験結果

4.3.1 IP0304_SUB 有機基板使用の FCB パッケージのシャドーモアレ法によるそり測定結果

図 4.3(a,b,c)にシャドーモアレ法を用いた IP0304_SUB 有機基板と NCF(A,B,C)で実装実験 II で使用されたパッケージの 30°C~120°C のそり測定結果を示す。図 4.3(a,b,c)の常温時のそりは測定の結果、チップが凸状にそっている事が分かり、そりの最大値は NCF(A)で 13 μm 、NCF(B)で 14 μm 、NCF(C)で 10 μm となる事がわかった。 T_g が低い NCF(A)では、初期の常温のそりが増加する傾向があることが観察された。

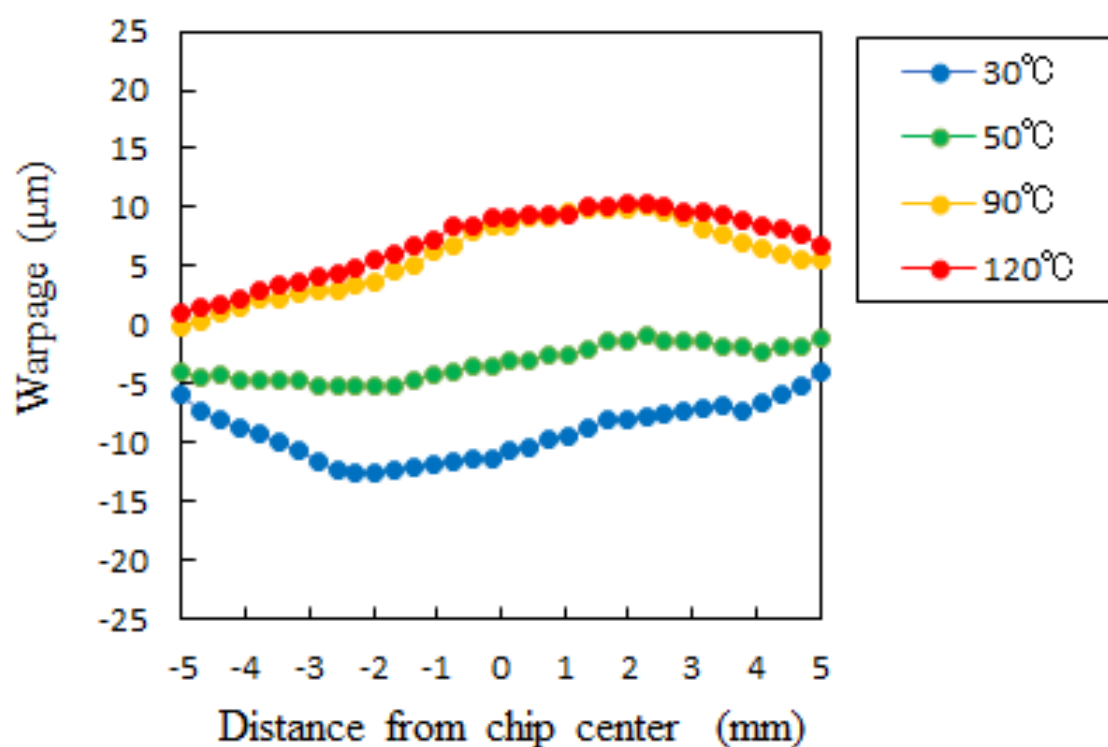


図 4.3a) シャドーモアレ法による NCF(A)使用基板のそり評価

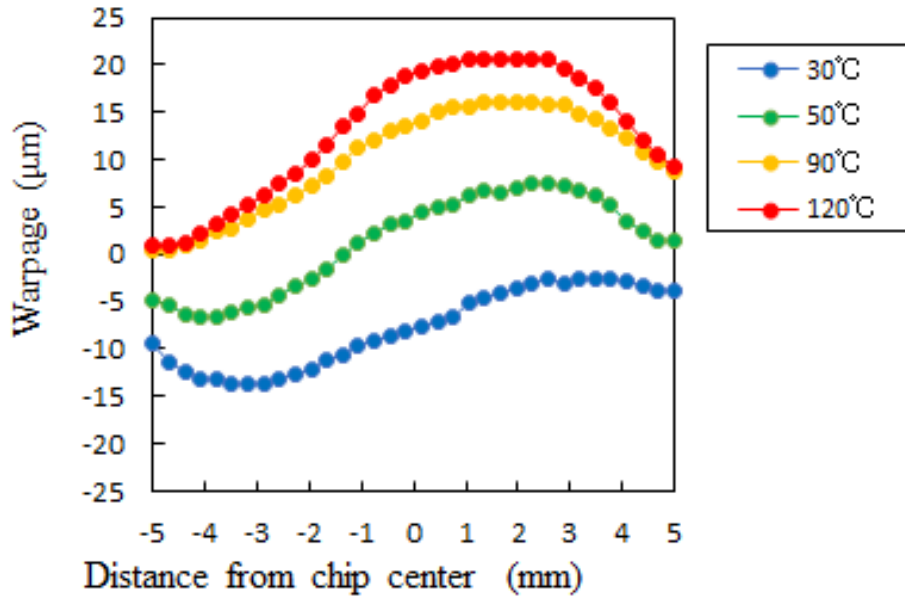


図 4.3b) シャドーモアレ法による NCF(B)使用基板のそり評価

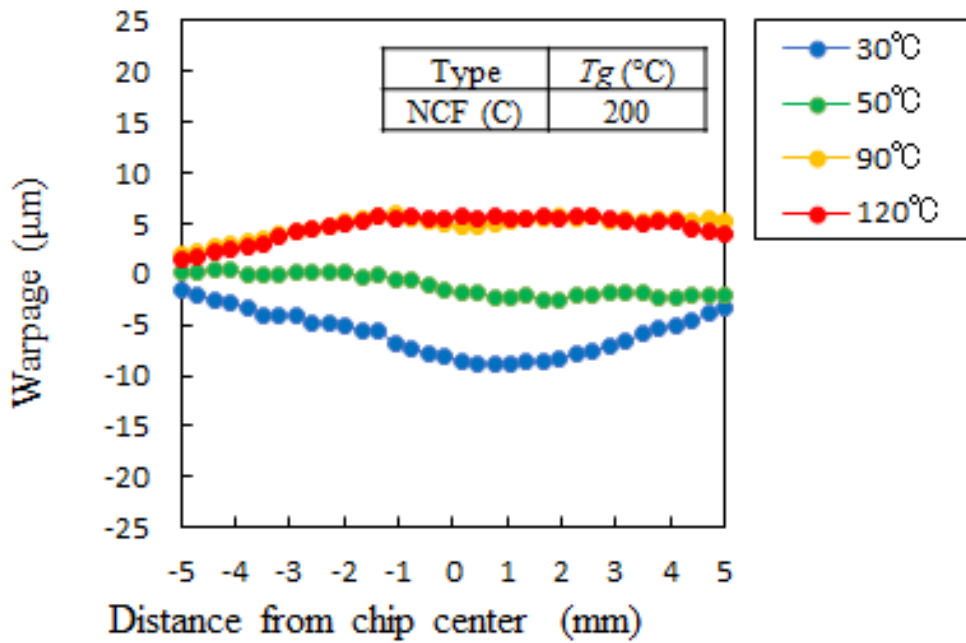


図 4.3c) シャドーモアレ法による NCF(C)使用基板のそり評価

次に、図 4.4 に加熱による影響の 3D 解析結果を示す。この結果から、パッケージの温度の上昇に伴い、基板の反りは、30°C のとき最大を示し、90°C でそりが殆ど無くなることがわかった。

NCF 種別に見ると、NCF(A) が一番そりが大きく、NCF(C) が一番小さくなることがわかった。

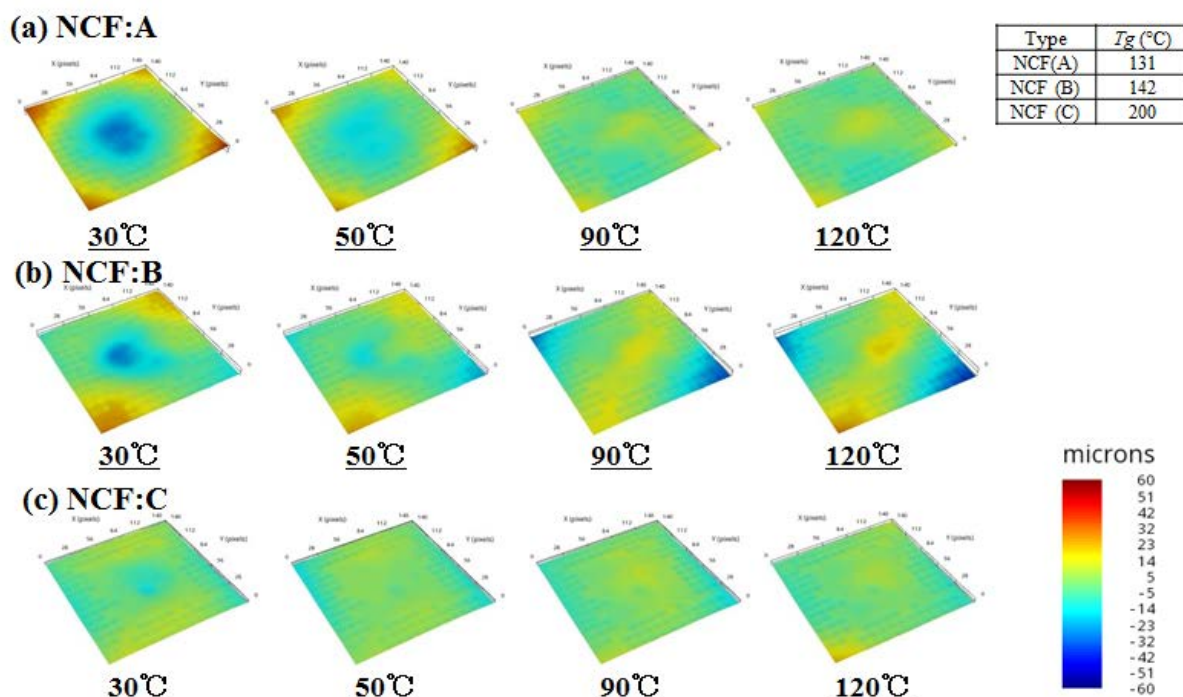


図 4.4 シャドーモアレ法を用いた 30°C~120°C 加熱での 3D プロファイル

次にシャドーモアレ法で得られた 30°C でのそりとピエゾ抵抗素子評価から求めた 30°C での残留応力を重ね合わせ比較したものを図 4.5 に示す。横軸はチップセンターからの距離、縦軸は、シャドーモアレ測定法の場合はそり値、ピエゾ抵抗素子評価の場合は残留応力値を示す。NCF(A)、NCF(B) のセンターのズレが発生している。本理由は、シャドーモアレ測定法の場合は基板裏面からのそり評価となり、チップ内に高精度に配置されたピエゾ抵抗素子と比較して、チップセンター距離換算時に若干の誤差は含まれることに起因すると考えられる。本比較結果より、ピエゾ抵抗素子による残留応力測定法は従来のそり方法で測定したそりの傾向とよく一

致し、十分使用できるレベルにあることが検証された。また NCF(C)を用いた本パッケージ構成では、圧縮残留応力 80MPa でそり量が約 10 μ m になることがわかった。

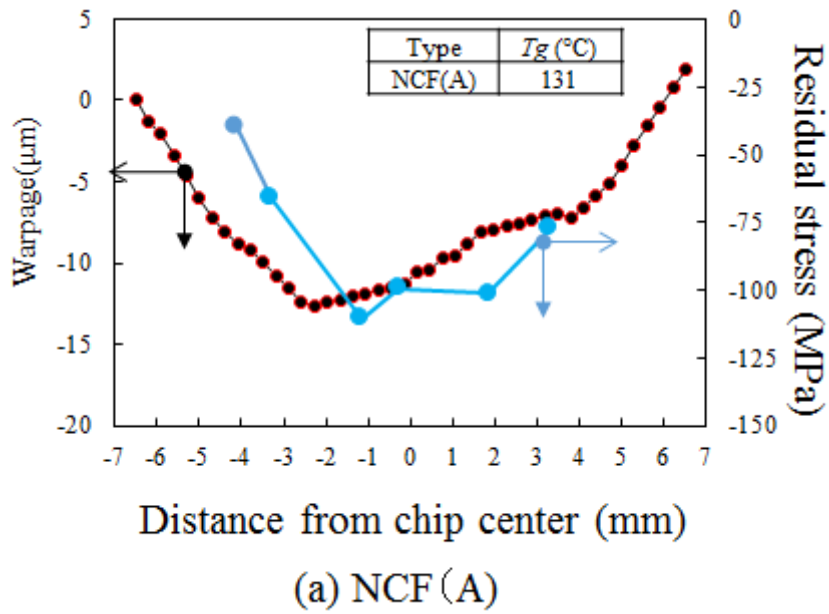


図 4.5a) NCF(A)使用パッケージのそりと残留応力との比較

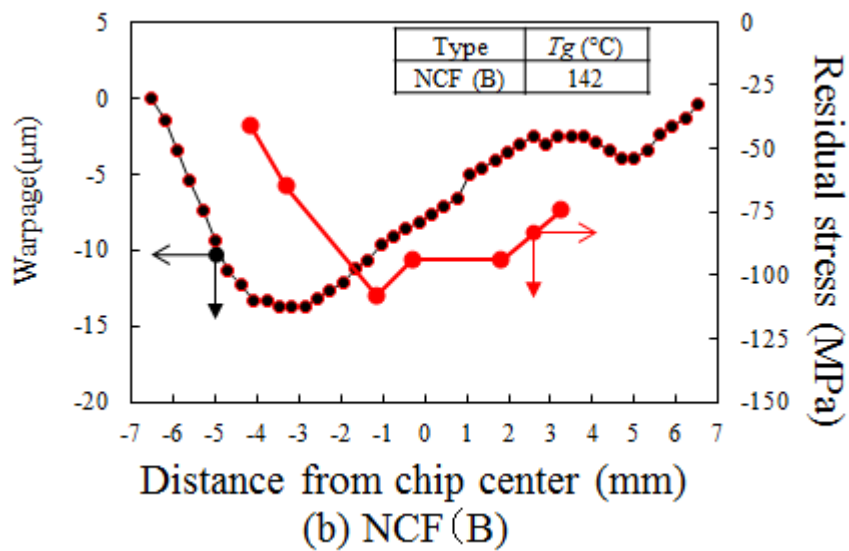
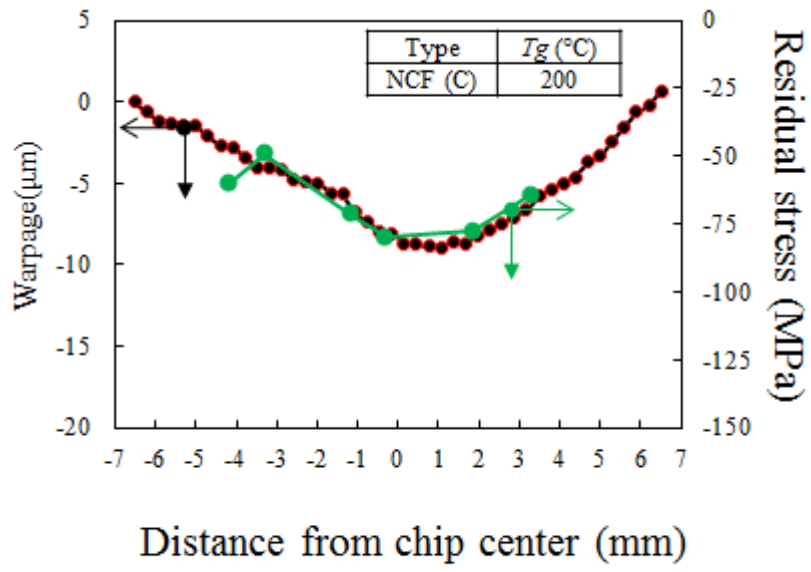


図 4.5b) NCF(B)使用パッケージのそりと残留応力との比較



(c) NCF (C)

図 4.5c) NCF(C)使用パッケージのそりと残留応力との比較

次に図 4.6 に各 NCF と 30°C における残留応力の比較を示す。本結果より、NCF(A) と NCF(B) は似た挙動を示し、NCF(C) が圧縮の残留応力が小さくなることがわかった。

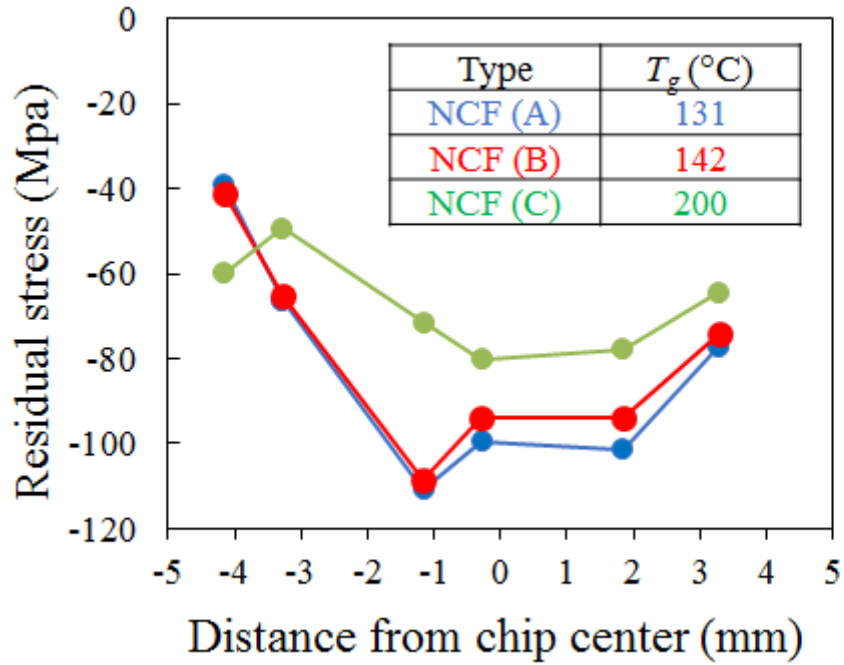


図 4.6 NCF と残留応力の比較

4.3.2 IP0305_Si シリコンインターポーザ基板を用いた FCB パッケージのシャドーモアレ法によるそり測定結果

図 4.7(a,b,c)にシャドーモアレ法を用いた IP0305_Si シリコンインターポーザ基板と NCF(A,B,C)を用い実装実験Ⅱで作成したパッケージの 30°C~120°Cのそり測定結果を示す。図 4.5(a,b,c)の 30°C~120°Cの加熱上昇による反りは測定の結果、非常に変化が小さいことがわかった。これは、ピエゾ抵抗素子の結果とよく一致する。

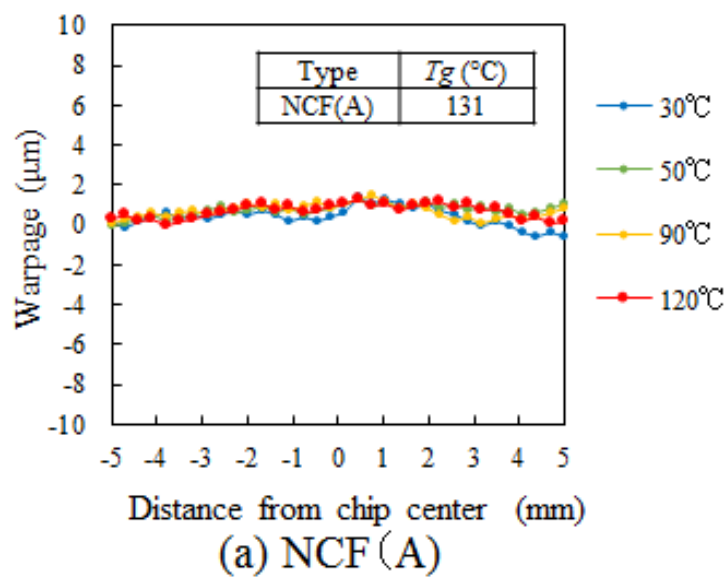
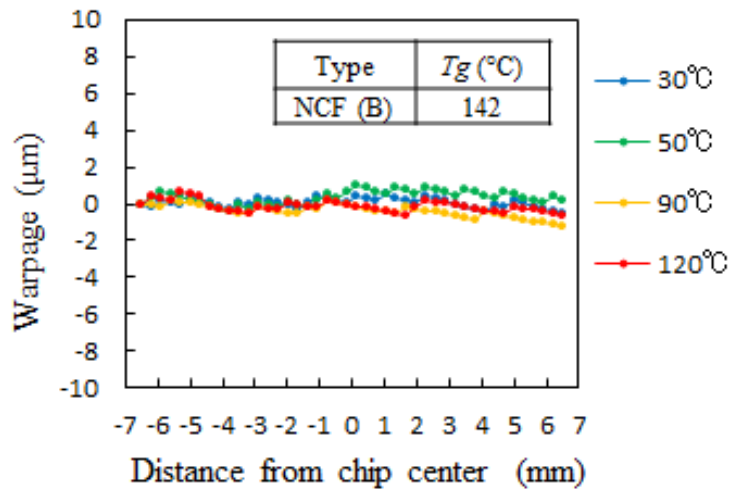
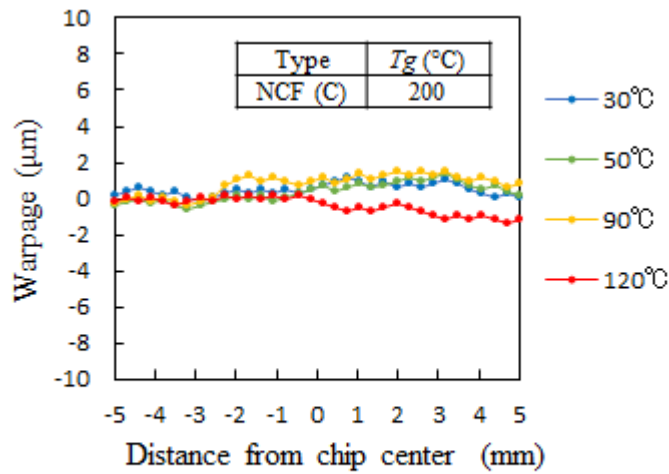


図 4.7a) シャドーモアレ法による IP0305_Si シリコンインターポーザ基板のそり評価



(b) NCF (B)

図 4.7b) シャドーモアレ法による IP0305_Si シリコンインターポーザ基板のそり評価



(c) NCF (C)

図 4.7c) シャドーモアレ法による IP0305_Si シリコンインターポーザ基板のそり評価

次に、図 4.8 に加熱による影響の 3D 解析結果を示す。この結果から、パッケージの温度の上昇に伴い、基板の反りは、30℃～120℃の温度領域で 5μm 以内であることがわかった。

NCF 種別に見ても殆ど差は確認出来なかった。

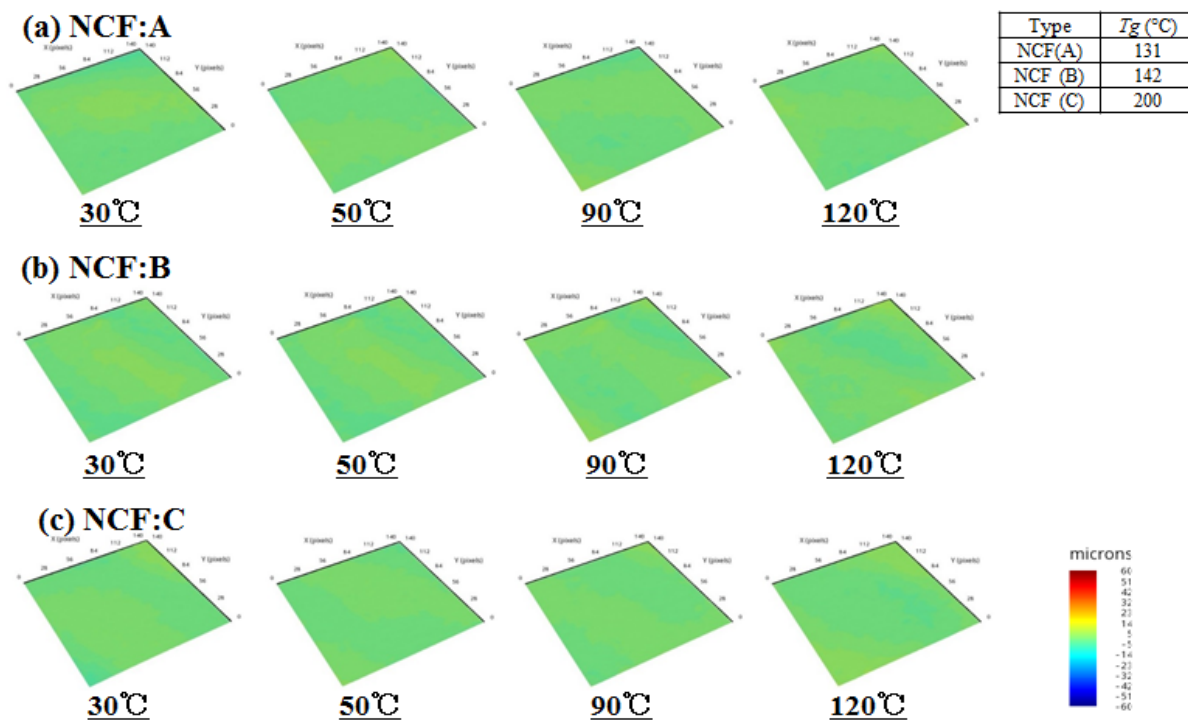


図 4.8 シャドーモアレ法を用いた 30℃～120℃加熱での 3D プロファイル

4.4 考察

既知のシャドーモアレ法を用いて、IP0304_SUB 有機基板、IP0305_Si シリコンインターポーザ基板と NCF(A,B,C)で作成した実装パッケージの 30°C~120°Cのそり測定を行いピエゾ抵抗素子法測定による残留応力の比較の結果、双方のデータはよく近似し、本評価の有効性を確認した。

また残留応力低減に必要な NCF の特性を考える。一般的に大きく影響する CTE と T_g を比較するともし、 CTE が影響する場合、 CTE 値の近い NCF(B)と NCF(C)が同じ応力になると考えられるが、図 4.6 の結果はそのようにならず、実際の結果は T_g 値の近い NCF(A)と NCF(B)の応力が近似している。このことから、有機基板を用いた本実験では、残留応力には CTE ではなく、 T_g のパラメータが大きく寄与していると考えられる。 T_g が低い NCF(A)では、初期の常温のそりが増加する傾向があるが、前述のようにバンプ保護観点からは圧縮の残留応力値も大きいことが信頼性を高める要素にもなる。

将来の薄化とはんだバンプの微細化を考えると、有機基板使用時には、そりと応力のトレードオフを考慮した最適設計が重要になる。将来有機基板使用での最適設計がますます困難になると考えられるため、より設計自由度の高いシリコンインターポーザ基板への置き換え需要は高まると考えられる。そのときに使用する NCF はより冷却時に高温領域からバンプ保護可能な高 T_g の NCF が最適と考える。

第 4 章の参考文献

- [1] JEDEC STANDARD, "Package Warpage Measurement of Surface-Mount Integrated Circuits at Elevated Temperature", JESD22-B112A, (Revision of JESD22-B112, May 2005), OCTOBER 2009
- [2] 電子情報技術産業協会, "JEITA EDR-7334 代表的熱変形測定方式の比較評価結果", 電子情報技術産業協会技術レポート, p6, 2008 年 5 月

第5章 結論

本研究では、ピエゾ抵抗素子搭載 TEG チップを用いて CUF や NCF を介した FCB 型パッケージのチップ表面の残留応力の測定をした。FCB 実装パッケージを高温環境下に置き、温度を変化させた状況における加熱環境下での実残留応力の変化を測定し、残留応力を評価した。また、シャドーモアレ法を用いて反り測定を行い、本手法の有効性を確認した。

第2章では、CUF 及び NCF を用いた FCB パッケージのチップ内残留応力分布評価と吸湿リフロー後の残留応力評価及び加熱工程における残留応力評価から CUF の信頼性劣化要因についての見解と NCF のはんだ保護の優位性について述べた。

第3章では、NCF を用いて FCB パッケージのチップ厚み、基板種、NCF 種を変化させた場合の FCB 後の残留応力評価と加熱工程における残留応力評価について述べた。

第4章では、シャドーモアレ測定法によるそりと本研究のピエゾ抵抗素子法による残留応力を比較して、NCF 種と残留応力と反りの相関を明らかにし、本残留応力評価法の有効性と FCB に必要な NCF 特性について考察した。

以上、総括すると

- ・ピエゾ抵抗素子内蔵 TEG チップと CUF および NCF を用いたフリップチップ型のパッケージの実装後のチップ内応力分布とその大きさを明らかにした。
- ・CUF 使用のパッケージのチップ端部の信頼性劣化要因について明らかにした。
- ・パッケージを実際に熱処理環境下に置いたときの中に発生する実応力値を測定する手法を用いて、チップ厚、基板厚、基板種の影響度をその実応力値から明確にした。
- ・従来の外部測定手法であるシャドーモアレ法と本手法を比較し、本手法の有効性を明らかにした。
- ・本研究により、次世代薄厚フリップチップパッケージに必要な NCF 材料特性設計が可能になり、NCF 開発を加速することが出来た。
- ・開発した NCF を用いた成果は、Proceedings of 66th Electronic Components and

Technology Conference (ECTC2016) , pp122-127, May 2016 として次世代薄フリップチップパッケージを共同開発する顧客開発メンバーの成果として掲載され、次世代薄パッケージの開発に反映されている。

謝辞

本研究は、著者が福岡大学大学院工学研究科後期博士課程在学中に、同大学工学部 末次正教授の指導のもとに行ったものである。

本研究を遂行するにあたり、終始適切及び懇切丁寧なご指導、ご鞭撻を賜りました指導教授である福岡大学 工学部 電子情報工学科 教授 末次正先生に深く感謝し厚く御礼申し上げます。

副査として本論文をまとめるにあたり有益な議論、ご指導、適切な助言を頂いた九州大学大学院工学研究院 機械工学部門システム生命科学専攻 教授 澤田廉士先生、福岡大学 工学部 機械工学科 教授 遠藤正浩先生、福岡大学 工学部 電子情報工学科 教授 鈴木孝将先生に感謝致します。

また本研究に至るまでの 18 年間の長きにわたり半導体パッケージ開発に終始適切及び懇切丁寧なご指導、ご鞭撻を賜りました福岡大学 工学部 電子情報工学科 教授 故友景 肇先生に深く感謝致します。

本研究全般に渡って、有益な議論及びご指導、適切な助言を頂きました、福岡大学 崔雲先生、福岡大学 半導体実装研究所 教授 加藤義尚先生、研究員の堀内整様、韓榮建様、福岡 I S T の野北寛太様、林繁宏様、末吉晴樹様、福岡大学 研究院生の那波恭介様、(株)ウォルツの森下順様、山邊栄一様に深く感謝致します。

また本研究を行うにあたって、大変お世話になった、研究室の佐藤靖子様、田中徳子様に深く感謝するとともに厚く御礼申し上げます。

最後に、著者の研究活動を支えてくれた家族に感謝致します。

関連発表論文

投稿論文

(1) Toshio Enami, Kyosuke Nanami, Osamu Horiuchi, Young-Gun Han, Hajime Tomokage

"Evaluation of Residual Stress on Chip Using Capillary Underfill and Non-Conductive Film Caused by Flip-Chip Bonding Process Using Test Element Group Chips with Piezoresistive Sensors", *Transactions of The Japan Institute of Electronics Packaging*, Vol.8, No.1, pp127-137, 2015. (第 2 章)

(2) Toshio Enami, Kyosuke Nanami, Osamu Horiuchi, Young-Gun Han, Hajime Tomokage

"Evaluation of Relationship between Residual Stress on Chip using Non-Conductive Film and Package Warpage Caused by Flip-Chip Bonding Process using Test element group Chips with Piezo resistive Sensors", *Transactions of The Japan Institute of Electronics Packaging*, Vol.9 No.1, ppE16-004-1-E16-004-10, 2016. (第 3 章、第 4 章)

国際会議

- (1) Toshio Enami, Kyosuke Nanami, Osamu Horiuchi, Young-Gun Han, and Hajime Tomokage, "Evaluation of Residual Stress Caused by Flip-Chip Bonding Process using Piezo-Resistor Embedded Test Element Group Chips", *Proceedings of the International Conference on Electronics Packaging (ICEP2015)*, Kyoto, JAPAN, pp.795-799, April 2015 (第2章)

- (2) Toshio Enami, Kyosuke Nanami, Osamu Horiuchi, Young-Gun Han, and Hajime Tomokage, "Residual Stress Evaluation of Flip-Chip Bonding with Non-Conductive Films on Organic Substrate and Silicon Interposer by Piezo-Sensor Embedded Test Element Group Chips", *Proceedings of 17th Electronics Packaging Technology Conference (EPTC2015)*, Singapore, December 2015. (第3章)

- (3) Toshio Enami, Kyosuke Nanami, Osamu Horiuchi, Young-Gun Han, and Hajime Tomokage, "Evaluation of Relationship between Residual Stress of ICs and Package Warpage Caused by Flip-Chip Bonding", *Proceedings of the International Conference on Electronics Packaging (ICEP2016)*, Sapporo, JAPAN, pp.469-472, April 2016 (第3章、第4章)