

最適切替制御を用いた並列電源システムの簡易出力電圧変動予測 *

小 浜 輝 彦 **
竹 下 恵 祐 ***
辻 聡 史 **

Simple Method for Estimating Output Voltage Change in Paralleled Converter System with Optimized On-off Control

Teruhiko KOHAMA**, Keisuke TAKESHITA*** and Satoshi TSUJI**

This paper proposes a simple method for estimating output voltage change in paralleled converter system with optimized on-off control. The on-off method changes the number of active converter modules according to load current to minimize over-all power losses in the paralleled system. However, it causes output voltage change in transient response, which might exceed specified output voltage tolerance. In this paper, a simple circuit model for paralleled converter system is proposed to estimate the output voltage. The estimation is verified by accurate circuit simulation. Finally, a guideline for selecting circuit components is given to meet a specific output voltage tolerance.

Key Words : DC-DC converter, efficiency improvement, optimized on-off control, paralleled converter system, voltage change estimation

1. はじめに

現在、電子機器用電源には低電圧、大電流、高効率が求められている。この要求は、複数台の同一モジュールを用いた並列電源システム [1-3] で実現できる。一方、電流を均等分担する並列システムにおいて軽負荷時に電力変換効率が低下する問題が指摘されている。近年、省エネルギー化の要求は一層強まっており、重負荷のみならず軽負荷においても効率改善が望まれている。この問題に対して、稼働モジュール台数を負荷電流に応じて適切に切替える最適切替制御 [4-5] が提案されており、効率改善が図られている。一方、この手法では、稼働台数切替時に過渡変動が生じるため、切替時の電圧変動が出

力電圧精度に影響を与える恐れがある。このため、出力電圧変動を見積もることはシステム設計上重要である。

本稿では、切替時の出力電圧変動を推定する簡易等価回路モデルを提案し、これを用いて出力電圧変動と回路要素との関係を明らかにする。次に得られた関係を用いて設計仕様を満足する最適な回路素子の選定方法についてガイドラインを示す。

2. 最適台数切替制御

並列電源システムにおいて、特定の電源モジュールに電流が集中し、熱的、電氣的ストレスが集中することを防ぐため、一般に各電源モジュールの出力電流を均等分担させる制御方法がとられている。しかし、一般的なコンバータの効率特性は図 1 のような形状であるため、負荷電流を均等に分担させる並列電源システムでは軽負荷時に効率が大きく低下する。この問題に対し、軽負荷時にモジュールの稼働台数を減らし、相対的にモジュール

* 平成 28 年 5 月 26 日受付

** 電気工学科

*** 工学研究科電気工学専攻

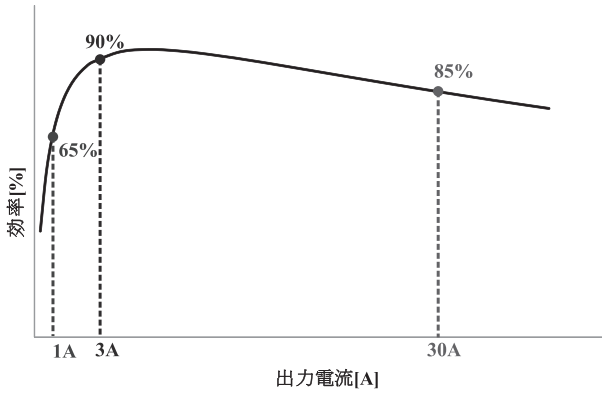


図1 一般的なDC-DCコンバータの効率特性例

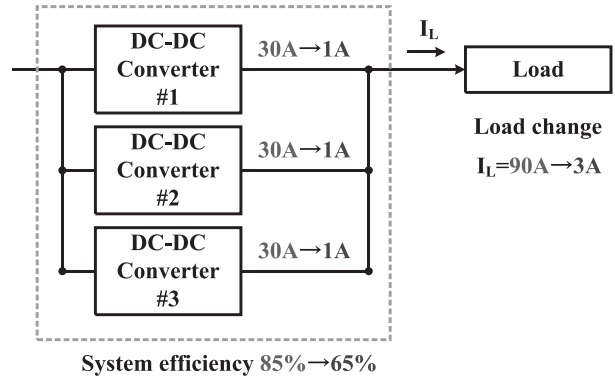


図2 三台並列電源システム

電流を増やせば高効率で動作させることができる。例えば、図1の効率特性を有するモジュールの三台並列システムを考える。図2に示すように、 $I_L=90A$ の重負荷時には並列システムの特長を生かし、85%と高効率で動作しているが、 $I_L=3A$ の軽負荷時では特長を生かし切れずに65%と効率が大きく低下する。そこで図3に示すように、モジュール#2、#3を停止させ相対的にモジュール#1の出力電流を増加させる。この結果、電源モジュール単体の出力電流は3Aとなり、軽負荷時でも90%と高効率で動作させることができる。

3. 簡易等価回路モデル (N台並列システム)

並列電源システムにおいて稼働台数切替時に生じる出力電圧変動を推定するため簡易等価回路モデルを提案する。図4に示す同一モジュールN台並列システムにおいて、負荷が軽負荷(モジュール#1のみ稼働)から重負荷(全N台稼働)に変化した場合とその逆の場合の台数切替について考える。出力電圧 V_o は、出力コンデンサCとその等価直列抵抗(ESR) r_c の電圧降下に一致するのでCへの流入電流が分かれば、出力電圧変動 ΔV_o も求めることができる。よって、簡易等価回路モデルは図5(a)のように表すことができる。台数切替に伴うモジュ

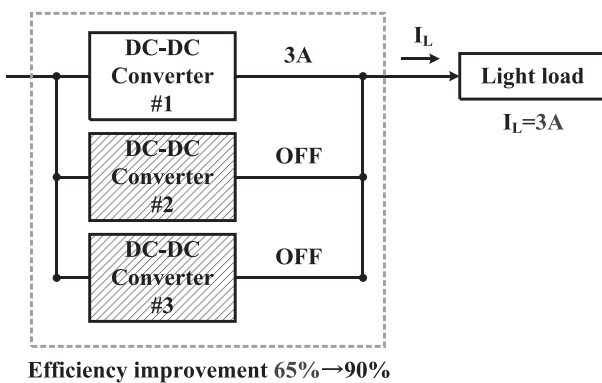


図3 三台並列システムの最適台数切替制御

ールの停止は各モジュールの制御回路を停止させて実現するので出力コンデンサは常に負荷に対して並列接続されている。このため、出力側はN台分の合成容量 $N \cdot C$ とコンデンサのESRの並列合成抵抗 r_c/N でまとめて表すことができる。また、出力電圧変動に注目するため各モジュールから合成容量 $N \cdot C$ に流れ込む電流を可変電流源 $i_{L1}, i_{L2}, \dots, i_{LN}$ で表す。 $i_{L1}, i_{L2}, \dots, i_{LN}$ は状態平均化法[6]によって得られる低周波電流と仮定し、スイッチングリップルは無視する。

3.1 負荷変動(軽負荷→重負荷)の場合

ここで負荷変動直後、停止中のモジュールが一斉に立ち上がることを想定すると、図5(a)に示すように出力電流 i_{L2}, \dots, i_{LN} は、一つの合成電流源 i_{L2-N} として図5(b)のように置き換えることができる。また負荷電流 i_R

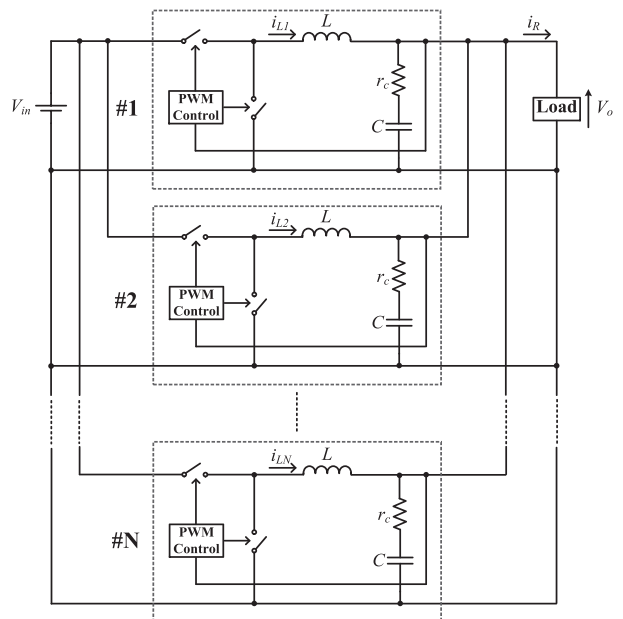


図4 同一モジュールN台並列システム

は図6に示すようにある傾きで変化する電流源と仮定する。ここで負荷急変による出力電圧降下が生じると、まず、モジュール#1の制御回路により変動が検知、フィードバックされ、遅延を伴って時刻 t_2 で i_{L1} が増加する。この時、電流 i_{L1} は最大時比率で増加するものとする。その後、モジュール定格電流に達すると保護回路により出力電流は一定となる。続いて停止中のモジュール#2, ..., #Nがある遅延を伴って時刻 t_4 で立ち上がるものとする。この時 i_{L2-N} も最大時比率で増加するものとする。以上の回路モデルと電流波形を用いて、コンデンサに流れ込む電流 i_c と電圧変動 Δv_o を求めると次式で与えられる。

$$i_c = i_{L1} + i_{L2-N} - i_R \quad (1)$$

$$\Delta v_o = \left(\frac{r_c}{N}\right) i_c + \left(\frac{1}{N \cdot C}\right) \int i_c dt \quad (2)$$

図6より i_{L1} , i_{L2-N} , i_R は次式で表される。

$$\left. \begin{aligned} i_{L1} \text{ (モジュール \#1 の出力電流)} \\ 0 \leq t < t_2 \quad i_{L1} = I_{o1} \\ t_2 \leq t < t_3 \quad i_{L1} = m_{up}(t - t_2) + I_{o1} \\ t_3 \leq t \quad i_{L1} = I_{oms1} \end{aligned} \right\} (3)$$

i_{L2-N} (モジュール #2 から N の合成出力電流)

$$\left. \begin{aligned} 0 \leq t < t_4 \quad i_{L2-N} = 0 \\ t_4 \leq t < t_5 \quad i_{L2-N} = (N - 1)m_{up}(t - t_4) \\ t_5 \leq t \quad i_{L2-N} = I_{oms2-N} \end{aligned} \right\} (4)$$

i_R (負荷電流)

$$\left. \begin{aligned} 0 \leq t < t_1 \quad i_R = m_{upR} \cdot t + I_{o1} \\ t_1 \leq t \quad i_R = I_{o2} \end{aligned} \right\} (5)$$

ここで、

- I_{o1} : 負荷変動前の定常負荷電流
- I_{o2} : 負荷変動後の定常負荷電流
- I_{oms1} : モジュールの定格電流
- I_{oms2-N} : 変動後の(N-1)台分の定常電流
- m_{up} : モジュール出力電流の傾き
- m_{upR} : 負荷電流の傾き

である。

さらに、 m_{up} は次式で表される。

$$m_{up} = \frac{(D_{max} \cdot V_{in} - V_o)}{L} \quad (6)$$

ここで、

- D_{max} : 最大時比率
- V_{in} : 入力電圧
- V_{out} : 出力電圧
- L : 出力インダクタンス

である。

この簡易等価回路モデルの有用性を検証するため、同一回路パラメータを与えて、Spice系回路シミュレータで三台並列電源システムを詳細に再現しシミュレーション

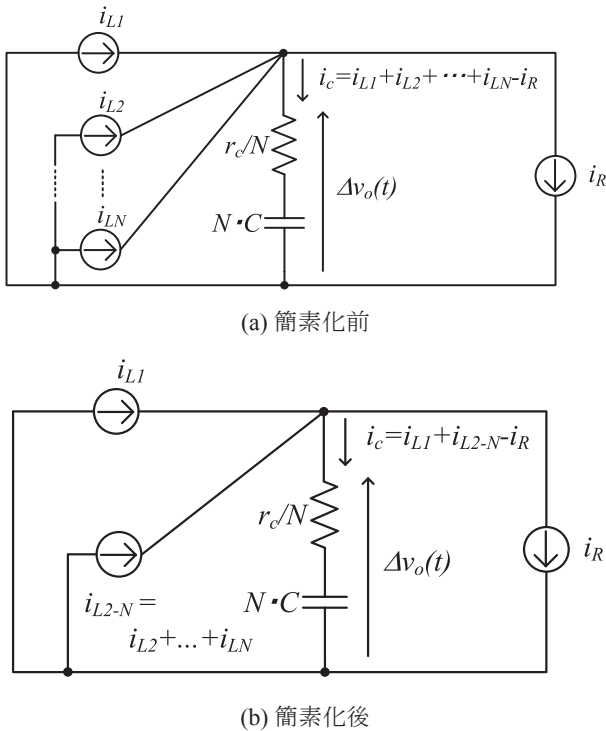


図5 同一モジュールN台並列システムの簡易等価回路モデル

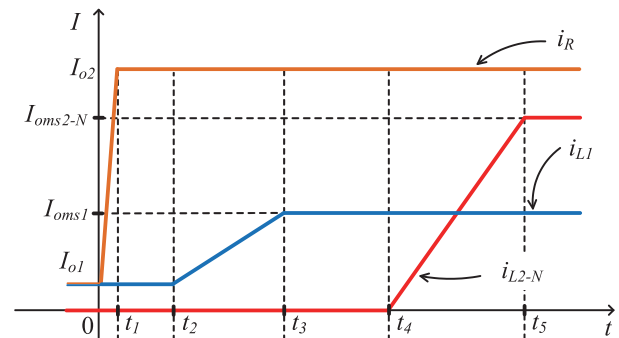


図6 負荷変動時の各部電流波形 (軽負荷から重負荷へ変化)

ンを行った。図7に両者の結果を示す。アンダーシュートの最小値付近まで両者はほぼ一致しているが、その後、誤差を伴って推移している。この理由は、推定の際、コンバータが最大時比率動作すると仮定した条件が後半一致しなくなるためである。しかし、この簡易等価回路モデルの目的は最大電圧降下を推定することであり、後半の結果の差異は問題とならない。以上の理由により、提案する簡易等価回路モデルを用いてアンダーシュート時の出力電圧変動推定が可能であることが確認できた。

3.2 負荷変動(重負荷→軽負荷)の場合

ここでは、負荷変動直後、稼働中の全モジュールが停止し、最終的に一台のみ稼働する状態を想定する。3.1節と同様に図5の等価回路を用いる。出力電流 i_{L2}, \dots, i_{LN} は、一つの電流源 i_{L2-N} として置き換えると各部電流波形は、図8となる。負荷電流 i_R はある傾きで変化する電流源と仮定する。ここで負荷急変による出力電圧上昇が起こると、全モジュールの制御回路により出力変化がフィードバックされ、遅延を伴って時刻 t_2 で i_{L1}, i_{L2-N} が減少する。この時、N台同時に対応する大きな負荷変動を想定しているため、全てのコンバータ時比率は0となる。以上の回路モデルと電流波形を用いるとコンデンサの電圧変化 Δv_o は、式(1), (2)に電流 i_c を与えることで得られる。図8より i_{L1}, i_{L2-N}, i_R は次式となる。

$$\begin{aligned}
 & i_{L1} \text{ (モジュール #1 の出力電流)} \\
 & \left. \begin{aligned} 0 \leq t < t_2 \quad i_{L1} &= I_{omst1} \\ t_2 \leq t \quad i_{L1} &= m_{down}(t - t_2) \\ & \quad + I_{omst1} \end{aligned} \right\} (7)
 \end{aligned}$$

i_{L2-N} (モジュール #2 から N の合成出力電流)

$$\left. \begin{aligned} 0 \leq t \leq t_2 \quad i_{L2-N} &= I_{omst2-N} \\ t_2 \leq t \leq t_3 \quad i_{L2-N} &= (N-1)m_{down} \cdot \\ & \quad (t - t_2) + I_{omst2-N} \end{aligned} \right\} (8)$$

$$\begin{aligned}
 & i_R \text{ (負荷電流)} \\
 & \left. \begin{aligned} 0 \leq t < t_1 \quad i_R &= m_{downR} \cdot t + I_{o2} \\ t_1 \leq t \quad i_R &= I_{o1} \end{aligned} \right\} (9)
 \end{aligned}$$

ここで、

- I_{o1} : 負荷変化後の定常負荷電流
 - I_{o2} : 負荷変化前の定常負荷電流
 - I_{omst1} : 変動前のモジュール電流
 - $I_{omst2-N}$: 変動前の(N-1)台分の定常電流
 - m_{down} : モジュール出力電流の傾き
 - m_{downR} : 負荷電流の傾き
- である。

さらに、 m_{down} は次式で表すことができる。

$$m_{down} = \frac{(D_{max} \cdot V_{in} - V_o)}{L} \quad (10)$$

この簡易等価回路モデルの有用性を検証するため、3.1節と同様に図8の電流波形を用いた三台並列電源システムの推定値と、同一条件による詳細な回路シミュレーションの比較を行った。図9に両者の結果を示す。推定値とシミュレーション値のオーバーシュートを比較するとピーク値がほぼ一致していることから、重負荷から軽負荷変動時においても簡易等価回路モデルを用いた出力電圧変動推定が有効であることが確認できた。これにより、モジュール切替時における出力電圧変動の簡易推定が可能となった。

今回、三台並列システム(N=3)を例に具体的な結果を示したが、Nを変更することで、任意の並列電源システムの電圧推定値が容易に得られる。

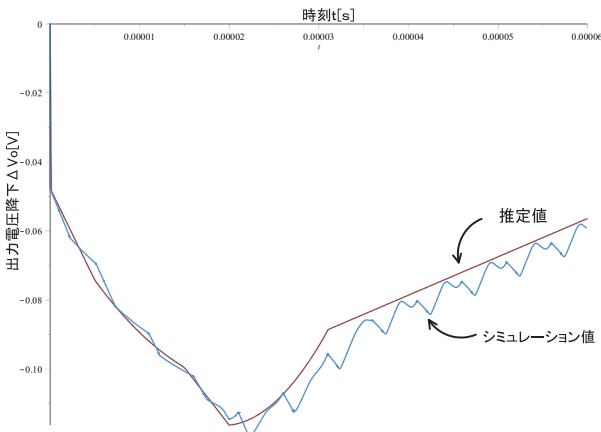


図7 推定値とシミュレーション値の比較(軽負荷→重負荷)(N=3)

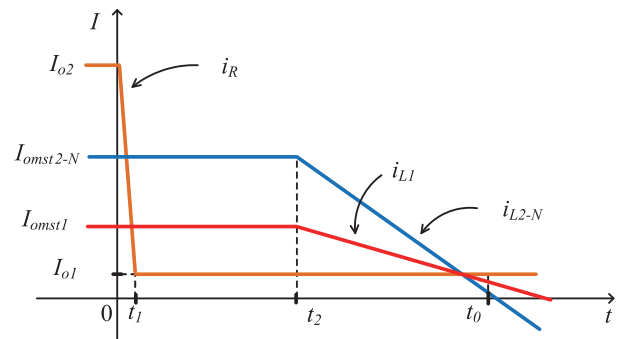


図8 負荷変動時の各部電流波形(重負荷から軽負荷へ変化)

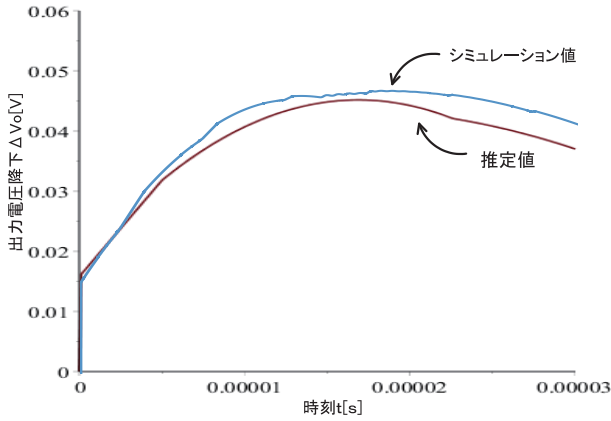


図9 推定値とシミュレーション値の比較 (重負荷→軽負荷)(N=3)

4. L-C-ESR 最適設計

3章で提案した簡易等価回路モデルを用いて、稼働台数切替時の出力電圧変動を考慮した並列電源システムの最適設計を行う。稼働台数切替時の出力電圧変動は式(2)から分かるようにCとESRの値が大きく関係している。また、電源の応答性を決める回路パラメータの一つであるLも出力電圧変動に大きな影響を与える要素である。よって稼働台数切替時の出力電圧変動はL, C, ESRの三つの回路要素が支配的であるといえる。以上の理由から最適なL-C-ESRの値を簡易等価回路モデルを用いて選定することにより、稼働台数切替時の出力電圧変動を許容誤差範囲内に抑える並列電源システムが設計できると言える。今回、三台並列システムに次の条件と回路パラメータを与え、負荷が軽負荷から重負荷、及び重負荷から軽負荷に変化した場合の最適設計を行う。電流波形はそれぞれ図6, 図8を想定する。

[条件]

- 入力電圧: $V_{in}=12[V]$
- 出力電圧: $V_{out}=3.3[V]$
- スイッチング周波数: $f_{sw}=200[kHz]$
- 最大負荷電流 $i_{Rmax}=50[A]$
- 定格 $20[A]$ のモジュール三台並列接続
- 出力電圧の許容誤差範囲は $\pm 3[\%]$ ($\pm 99[mV]$)
- 軽負荷状態では、一台で $2[A]$ 供給
- 重負荷状態では、三台で $50[A]$ 供給

軽負荷から重負荷変化の場合

- 最大時比率: $D_{max}=0.8$
- 負荷変化前の負荷電流: $I_{o1}=2[A]$
- 負荷変化後の負荷電流: $I_{o2}=50[A]$
- 負荷電流の傾き: $m_{upR}=400[A/\mu s]$

1台目のフィードバックが効き始める時間: $t_2=5[\mu s]$

残り2台が立ち上がるまでの時間: $t_4=20[\mu s]$

重負荷から軽負荷の場合

最大時比率: $D_{max}=0$

負荷変化前の負荷電流: $I_{o2}=50[A]$

負荷変化後の負荷電流: $I_{o1}=2[A]$

負荷電流の傾き: $m_{upR}=400[A/\mu s]$

全モジュールのフィードバックが効き始めるまでの時間: $t_2=5[\mu s]$

4.1 スイッチングリプルを考慮した許容誤差の設定 (軽負荷→重負荷) の場合

ここで用いた簡易等価回路モデルはスイッチングリプルを無視した平均化モデルである。しかし、本来出力電圧にはスイッチングリプルが含まれる。よって、簡易等価回路モデルにおいて設計を行う際、スイッチングリプル分を考慮した許容誤差範囲を設定し直す必要がある。スイッチングリプル電圧の大きさを ΔV_{pp} とすると $\Delta V_{pp}/2$ を許容誤差範囲から差し引くことによって新たな許容誤差範囲を設定することができる。 ΔV_{pp} には ESR によるスイッチングリプル ΔV_{rcsw} と C によるスイッチングリプル ΔV_{ccsw} が含まれ、それぞれ次式で表すことができる。ただし、スイッチングリプル電流の大きさを ΔI_m とする。

$$\Delta V_{rcsw} = \frac{r_c}{N} \Delta I_m \quad (11)$$

$$\Delta V_{ccsw} = \frac{T_{sw}}{8 \cdot N \cdot C} \Delta I_m \quad (12)$$

$$\Delta V_{pp} = \frac{r_c}{N} \Delta I_m + \frac{T_{sw}}{8 \cdot N \cdot C} \Delta I_m \quad (13)$$

また、 ΔI_m は次式で表すことができる。

$$\Delta I_m = \frac{V_{in} - V_o}{L} D T_{sw} \quad (14)$$

4.2 スイッチングリプルを考慮した許容誤差の設定 (重負荷→軽負荷) の場合

重負荷から軽負荷へ変動する場合、制御回路のフィードバックにより $D=0$ となるのでスイッチングリプルが存在しない。したがって許容誤差は $99[mV]$ となる。

4.3 L の選定

出力インダクタ L の値が大きいと式(14)よりスイッチングリプル電流は低減できるが、インダクタ電流の応答が遅くなり、電源の応答速度が低下する。一方 L が小さいと応答性は改善されるものの、式(14)よりスイッチングリプルが増大する。この結果、スイッチングリプルによる固定損が増え軽負荷時の効率低下が生じる。

さらにインダクタやスイッチに流れるピーク電流が増大し、電流容量の大きな部品を選択しなければならず、コスト増につながる。以上の理由により電流リップル ΔI_m は、一般に最大出力電流 I_{omax} の 10~50[%] となるように L を選定する。ここで、並列システムにおいて ΔI_m が最大となる条件を考える。並列運転時はマルチフェーズの特長を活かし、インターリーブによってスイッチングリップルを低減させる。よって、並列電源システムにおいてリップルが最大となる条件は、稼働台数が1台で最大時比率動作時である。最大出力電流 I_{omax} はモジュール一台の定格電流 20[A] となるので、前述した条件から式(14)を変形して L を求めると次式となる。

最大出力電流 I_{omax} の 10[%] の場合

$$L = \frac{12-3.3}{20 \times 0.1} \times 0.8 \times 5 \cdot 10^{-6} = 17.4[\mu H] \quad (15)$$

最大出力電流 I_{omax} の 50[%] の場合

$$L = \frac{12-3.3}{20 \times 0.5} \times 0.8 \times 5 \cdot 10^{-6} = 3.48[\mu H] \quad (16)$$

以上の結果から L は $3.48[\mu H] \leq L \leq 17.4[\mu H]$ の範囲で選定可能であることが分かる。今回は電源の応答性を優先し、 $L=3.48[\mu H]$ を選択する。

4.4 軽負荷から重負荷変動時の最低条件

C と ESR それぞれによる電圧降下を考え、単独要素で許容誤差範囲を超えないようにそれぞれが満たすべき最低条件を求める。最初に ESR による電圧降下のみを考え、許容誤差を超えない ESR の最低条件を求める。このとき ESR のみの影響を考えるため、 $C \rightarrow \infty$ とする。式(2)より、ESR による電圧降下 Δv_{rc} は次式となる。

$$\Delta v_{rc} = \left(\frac{r_c}{3}\right) i_c \quad (17)$$

式(17)が最大となるのは i_c が最大値の場合である。 i_c が

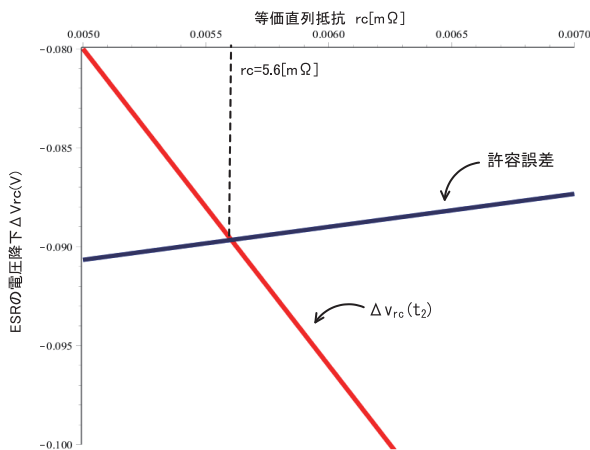


図 10 ESR の最低条件 (軽負荷→重負荷)

最大値となるのは図6において、負荷変動後フィードバックにより i_{L1} が増加しはじめる時刻 t_2 である。即ち、電圧降下 $\Delta v_{rc}(t_2)$ が許容誤差を超えない ESR にすることが最低条件となる。電圧降下 $\Delta v_{rc}(t_2)$ において r_c を変化させた時の $\Delta v_{rc}(t_2)$ と許容誤差の関係を図10に示す。図10より r_c は、5.6[mΩ] 以下に抑えなければならない。

次に C による電圧降下 Δv_{cc} のみを考え、 C の最低条件を求める。このとき C のみの影響を考えるため $r_c = 0$ とする。 C による電圧降下 Δv_{cc} は式(2)から次式となる。

$$\Delta v_{cc} = \left(\frac{1}{3C}\right) \int i_c dt \quad (18)$$

式(18)が最大となるのは負荷変動後、 $i_c = 0$ となる時刻である。これは、負荷電流 i_R とモジュール出力電流の総和 $i_L + i_{L2-N}$ が等しい時刻である。この時刻を t_0 とすると、電圧降下 $\Delta v_{cc}(t_0)$ が許容誤差を超えない C にすることが最低条件となる。電圧降下 $\Delta v_{cc}(t_0)$ において C を変化させた時の $\Delta v_{cc}(t_0)$ と許容誤差の関係を図11に示す。図11より C を 3000[μF] 以上にする必要があることが分かる。以上の結果から C と ESR を選定するうえでの最低条件は

$$r_c \leq 5.6[m\Omega], \quad C \geq 3000[\mu F] \quad (19)$$

となる。

4.5 重負荷から軽負荷変動時の最低条件

4.4節と同様に C と ESR の最低条件を求める。まず ESR の最低条件について考える。式(17)が最大となるのは i_c が最大値の場合である。 i_c が最大値となるのは、図8において負荷変動直後からフィードバックにより i_{L1} 、 i_{L2-N} が減少し始める時刻 t_2 までである。ここでは、電圧降下 $\Delta v_{rc}(t_2)$ が許容誤差を超えないような ESR にすることが最低条件となる。電圧降下 $\Delta v_{rc}(t_2)$ において r_c

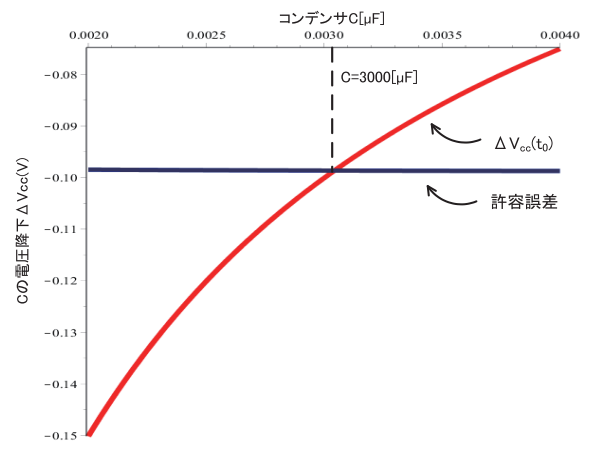


図 11 C の最低条件 (軽負荷→重負荷)

を変化させた時の $\Delta v_{rc}(t_2)$ と許容誤差の関係を図 12 に示す. 図 12 より ESR は $6.2[m\Omega]$ 以下でなければならない. 同様に C の最低条件について考える. 式 (18) が最大となるのは負荷変動後, $i_c=0$ になる時刻, すなわち i_R と $i_{L1}+i_{L2-N}$ が等しい時刻である. 図 8 においてこの時刻を t_0 とすると, 電圧降下 $\Delta v_{cc}(t_0)$ が許容誤差を超えない C にすることが最低条件となる. 電圧降下 $\Delta v_{cc}(t_0)$ において C を変化させた時の $\Delta v_{cc}(t_0)$ と許容誤差の関係を図 13 に示す. この図より C は $2200[\mu F]$ 以上に設定する必要があることが分かる. 以上の結果から C と ESR を選定するうえでの最低条件は

$$r_c \leq 6.2[m\Omega], C \geq 2200[\mu F] \quad (20)$$

となる.

4.6 負荷変動時の最低条件

C と ESR の最低条件を, 軽負荷から重負荷変動時, 及び重負荷から軽負荷変動時の場合でそれぞれ求めた. これらを総合した, 最終的な最低条件を求める. 式 (19), 式 (20) 両者を満足する条件は, 最終的に軽負荷から重負荷変動時の式 (19) となる.

よって今後は, C と ESR がこの条件を満たすコンデンサを実際の製品から選定する. 但し, 単一コンデンサでは, 一般に ESR が大きいため式 (19) を満たすことが難しい. そこで小容量のコンデンサを複数個並列接続することで等価的に ESR を小さくし, 同容量を実現する. 例えば, $C=560[\mu F]$, $r_c=7[m\Omega]$ のコンデンサを 6 個並列接続すれば, $C=3360 [\mu F]$, $r_c=1.167[m\Omega]$ を実現でき条件を満たすことができる.

4.7 最大電圧降下の導出

負荷変動後, 電圧降下が最大となる電圧変動 Δv_{omin} を導出する. 今回は, 図 6 に示した波形のように負荷の

変動幅がモジュール一台で対応できない場合を想定する. 二台目以降の立上り時刻 $t_4=20[\mu s]$ 以降で最大電圧降下が想定される. 時刻 t_4 以降にコンデンサに流れ込む電流を i_c' とすると, 式 (1), (3)~(5) より次のように表すことができる.

$$i_c' = i_{L1} + i_{L2} + i_{L3} - i_R = I_{oms1} + 2m_{up}(t - t_4) - I_{o2} \quad (21)$$

また, 時刻 t_4 の時点でのコンデンサの初期電圧を v_{ccic} とすると, 時刻 t_4 以降の出力電圧降下 $\Delta v_o'$ は次式となる.

$$\Delta v_o' = \left(\frac{r_c}{3}\right) i_c' + \left(\frac{1}{3C}\right) \int i_c' dt + v_{ccic} \quad (22)$$

ここで

$$\frac{d\Delta v_o'}{dt} = 0 \quad (23)$$

となる時刻 t は, 電圧降下 $\Delta v_o'$ が最大となる時刻 t_{min} である. この時刻 t_{min} を式 (22) に代入することで最大電圧降下 Δv_{omin} を求めることができる.

4.8 C と ESR の選定

最大電圧降下となる時刻 t_{min} において, C と ESR の値を式 (19) の範囲で変化させる. このときの C と ESR, 最大電圧降下 Δv_{omin} の関係を許容誤差と共に図 14 のように 3D グラフを描くことで, 最大電圧降下 Δv_{omin} が許容誤差を上回らない C と ESR の組み合わせが明らかとなる. また, 最大電圧降下 Δv_{omin} と許容誤差との差 (余裕) を求めることによって, 図 15 のように等高線を描くことができる. これらの計算と作図は, Maple 等の数式処理ソフトを用いれば容易に作成できる. この等高線を用いて, 境界線を越えない範囲で実際の製品で実現できる C と ESR の組み合わせを選べば最適な設計を行うことができる. 一例として図 15 に示した値 ($C=3360[\mu F]$,

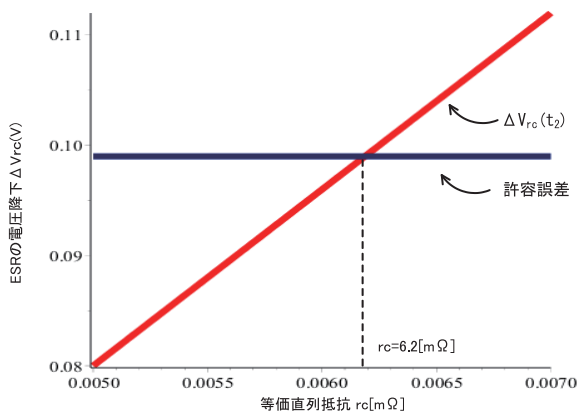


図 12 ESR の最低条件 (重負荷→軽負荷)

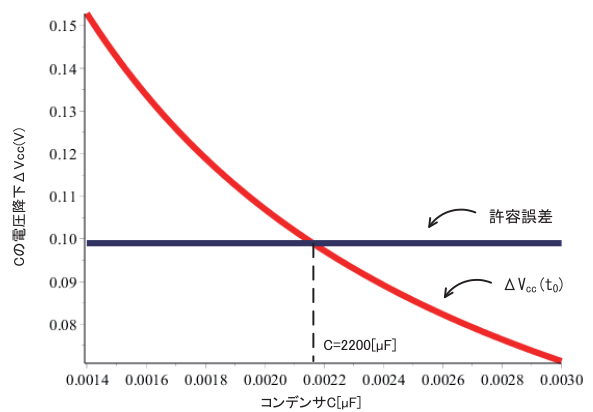


図 13 C の最低条件 (重負荷→軽負荷)

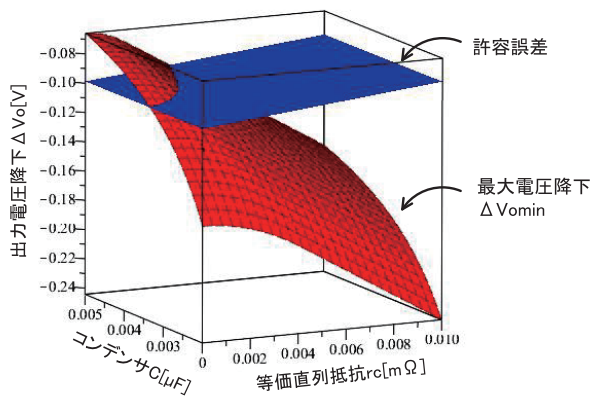


図 14 最適 C-ESR 設計用 3D グラフ

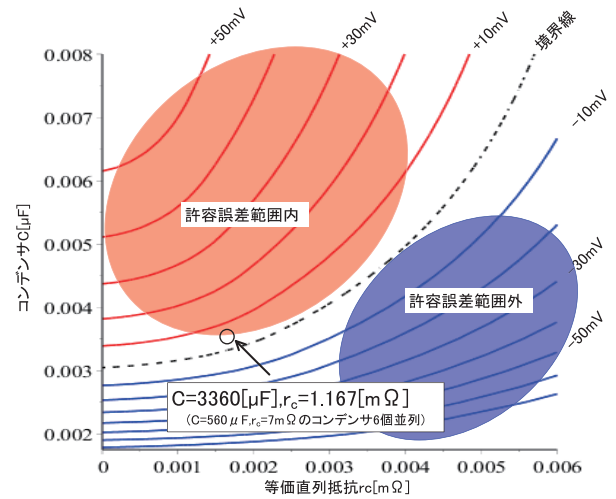


図 15 最適 C-ESR 設計用等高線 (等高線の値は、設計余裕を示す)

$r_c=1.167[m\Omega]$) を $C=560[\mu F]$, $r_c=7[m\Omega]$ のコンデンサ 6 個並列接続により選定した. 以上の手順で得られた並列システムの負荷変動時の出力電圧変動波形を改めて確認すると図 16 となった. この結果は、予想通り許容誤差範囲内に抑えられておりガイドラインの妥当性が示された.

5. まとめ

最適切替制御を用いた並列電源システムにおいて、稼働台数切替に伴う出力電圧変動を簡易推定するための回路モデルを提案した. 続いて、これを用いた推定手法が有効であることを示し、この結果を用いて出力電圧許容誤差を満足する回路パラメータの選定手順を明らかにした. この指針を用いることで並列電源システムの最適設計が可能となる.

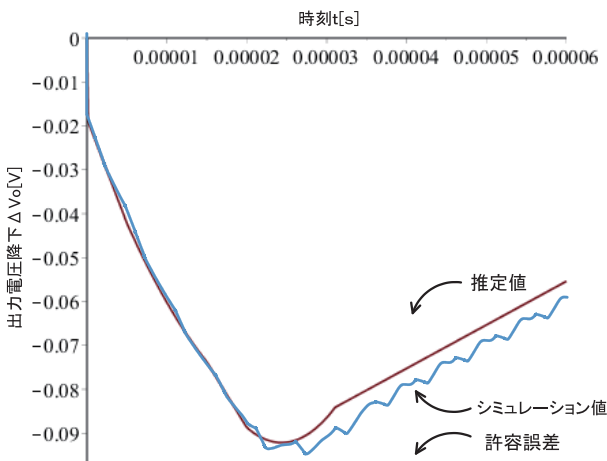


図 16 出力電圧変動波形 (N=3)

参考文献

- [1] R.H.Wu, T.Kohama, Y.Kodera, T.Ninomiya, F.Ihara, "Load-Current-Sharing Control for Parallel Operation of DC-to-DC Converters", IEEE 24th Power Electronics Specialists Conference Record, pp.101-107, 1993.
- [2] T.Kohama, T.Ninomiya, M.Shoyama, and F.Ihara, "Dynamic Analysis of a Parallel-Module Converter System with Current Balance Controllers," Proceedings of IEEE 16th International Telecommunications Energy Conference, pp.190-195, 1994.
- [3] D.K.W.Cheng, X.C.Liu, and Y.S.Lee, "Parallel operation of DC-DC converters with synchronous rectifiers," Proceedings of Power Electronics Specialists Conference Record, pp.1225-1229, 2011.
- [4] T.Kohama, M.Momono, and S.Tsuji, "Estimation of Optimized Switching Points for On-off Module Control in Paralleled Converter System," Proceedings of the 10th IEEE International Conference on Power Electronics and Drive Systems, pp.690-694, 2013.
- [5] T.Kohama, Y.Sogawa, and S.Tsuji, "Design of Optimized On-off Control to Improve Efficiency of Paralleled Converter System," Proceedings of the 2014 International Power Electronics Conference, pp.2781-2786, 2014.
- [6] R.D.Middlebrook and S.Cuk, "A general unified approach to modelling switching converter power stages," IEEE Power Electronics Specialists Conference, pp.18-34, 1976.