

LDO レギュレータの特性改善*

小 浜 輝 彦**
古 賀 健 史***

Stability Improvement of LDO Regulator

Teruhiko KOHAMA** and Kenji KOGA***

Low Dropout (LDO) regulator has an advantage of lower dropout voltage compared with other linear regulators. However, LDO requires careful design to ensure stable operation due to inherent instability of the circuit. This paper describes principle of LDO regulator and provides design guidelines for derivative and ESR compensation method. Effects of circuit parameters on the stability of LDO are revealed by circuit simulation and experiments.

Key Words : LDO regulator, Stability, Bode plot, Ceramic capacitor

1. まえがき

LDO レギュレータはリニアレギュレータの一種でトランジスタの能動領域を利用して定電圧化を図る電源 IC である。LDO 以外のリニアレギュレータには NPN レギュレータ、準 LDO レギュレータがある。LDO は他のリニアレギュレータに比べて入出力電圧差が小さいため低電圧でも駆動できる特徴を有するが、安定性の面で問題点も残されている。現在のリニアレギュレータには、電圧降下の低減が一層求められていることから、LDO が使用される機会は増えている。そこで、本稿では LDO の安定性について詳細に解析し、安定性を改善する補償方法についてその設計手順を示す。また、今後主流となるセラミックコンデンサを用いる場合の選定方法についても述べる。

2. 動作原理

LDO の基本回路を図 1 に示す。パワートランジスタ Q1 がエミッタ接地で用いられており、ドロップアウト電圧は低い安定性が悪い。この不安定要因は図 2 に示す制御系の極の数とその位置にある。低周波にはオペア

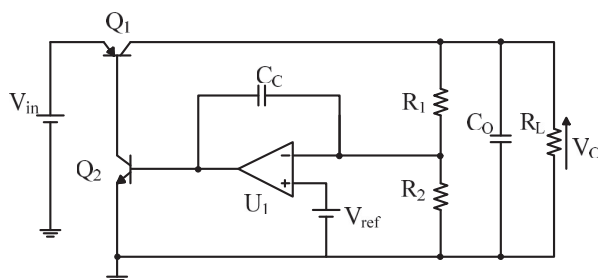


図 1 LDO 等価回路

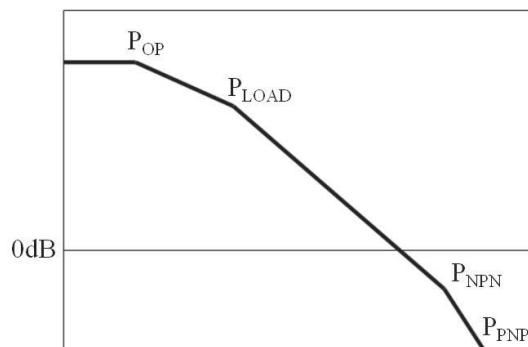


図 2 極の位置の概略図

ンプによる極 P_{OP} とエミッタ接地により生じる極で負荷の値に影響を受ける P_{LOAD} があり、さらに高周波領域にはトランジスタによる極 P_{NPN} , P_{PNP} が生じている。エミッタ接地を用いるとトランジスタの出力インピーダンスが

* 平成 24 年 5 月 31 日受付

** 電気工学科

*** 工学研究科電気工学専攻

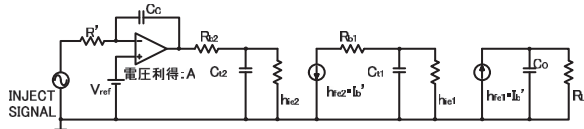


図3 LDO 小信号等価回路

大きな値となる．そのため負荷 R_L の極 P_{LOAD} が低周波に発生する．

このため位相遅れが増大し，帰還が正帰還となり発振現象を引き起こす．一方 NPN レギュレータや準 LDO レギュレータでは Q_1 にあたるパワートランジスタがコレクタ接地であるため，出力インピーダンスが小さな値となる．このため高周波に負荷の極が発生するため安定するが， Q_1 に複数のトランジスタをダーリントン接続しているため電圧降下が大きい．電圧降下の値は LDO が 0.7V 程度であるのに対し，準 LDO レギュレータは 1.4V，NPN レギュレータは 2.1V となっている．

LDO の安定性を考察するには図 1 の回路について一巡伝達関数を導出し，これから得られる極と零点を調べる必要がある．まず，図 1 から得られた LDO の小信号等価回路を図 3 に示す．これから一巡伝達関数を求めると極が式 (1)~(4) で表される．

$$P_{OP} = \frac{1}{2\pi AR' C_C} \tag{1}$$

$$P_{LOAD} = \frac{1}{2\pi R_L \cdot C_O} \tag{2}$$

$$P_{NPN} = \frac{1}{2\pi \frac{h_{ie2} R_b'}{h_{ie2} + R_b'} C_{t2}} \tag{3}$$

$$P_{PNP} = \frac{1}{2\pi h_{ie1} \cdot C_{t1}} \tag{4}$$

3. 位相補償

このままの回路では不安定となるため，零点を加える補償によって安定性を図る．補償を加えた回路とそのゲイン特性の概形をそれぞれ図 4，図 5 に示す．まず C_{ff} による微分補償により図 5 の零点 Z_{ff} を作るが，同時に極 P_{ff} を生じることに注意が必要である．また IC 内部であるため C_{ff} に容量の制約があり，十分な零点の設置が難しい．そこで出力コンデンサ C_O の等価直列抵抗 ESR で生じる零点 Z_{ESR} の位置で追加補償を行う．補償により追加された零点 Z_{ff} , Z_{ESR} 及び，極 P_{ff} は次式で現される．

$$Z_{ff} = \frac{1}{2\pi R_1 C_{ff}} \tag{5}$$

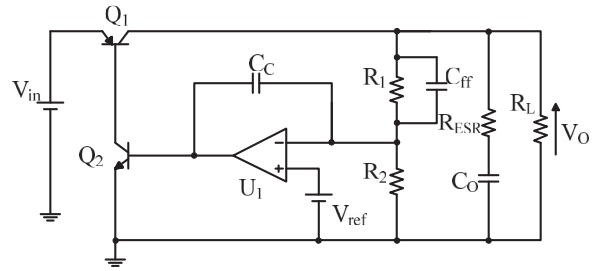


図4 LDO 等価回路 (補償後)

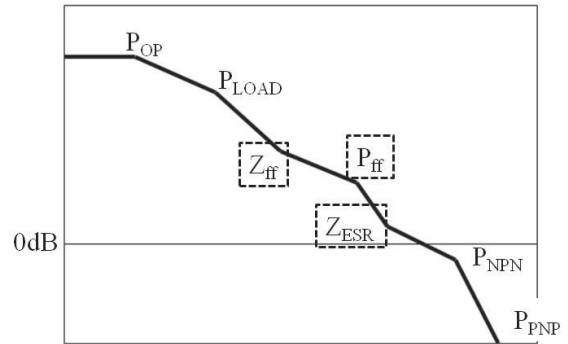


図5 極と零点の位置の概略図 (補償後)

$$P_{ff} = \frac{1}{2\pi (R_1 // R_2) C_{ff}} \tag{6}$$

$$Z_{ESR} = \frac{1}{2\pi R_{ESR} C_O} \tag{7}$$

出力コンデンサの ESR に関しては安定性を考慮すると最大値，最小値が存在する．すなわち図 5 において， Z_{ESR} はゲインが 0dB となるクロスオーバー周波数と Z_{ff} 間に位置して， P_{ff} の位相遅れを打ち消さなければ不安定となる．ESR が大きい場合は， Z_{ESR} が低周波に現れる．この結果クロスオーバー周波数が高域へ移動し，高周波に複数存在する極の影響で位相が急激に変化し位相余裕が無くなる．ESR が低すぎる場合は Z_{ESR} が P_{ff} から離れて高周波に現れる．クロスオーバー周波数と比べて Z_{ESR} が大きく高域にずれると，零点は補償としての効果をなさず不安定となる．以上のことから出力コンデンサの選択は慎重に行う必要がある．従来の LDO は出力コンデンサにタンタルコンデンサなど比較的 ESR が大きな場合を想定していたが，小容量かつ低 ESR のセラミックコンデンサを用いるためには対策が必要となる．一つ目の工夫は LDO の DC ゲインを下げる方法である．これにより ESR 補償によらず LDO を安定して用いることができるが，応答性が犠牲となる．もう一つの方法は P_{OP} が高域で生じるオペアンプを用いる方法である．これによりクロスオーバー周波数を広域にずらすことができ，セラミックコンデンサを用いた場合の零点が安定性改善

に寄与できる。

ただし、セラミックコンデンサは小型であるものの温度特性や DC バイアス特性がタンタルコンデンサと比べて悪く、容量値も数十% 変化する。このため十分に位相余裕を確保する設計が必要である。

負荷電流に関しては許容電力面において最大値が存在する。一方、最小値については負荷 R_L の増加に伴い極 P_{LOAD} がより低域に生じるため、位相余裕が減少する。この結果、軽負荷時の安定性が低下するので、この点も考慮しなければならない。

4. 設計手順

補償の設計手順としては、まず式 (1)~(4) で求められる各極の位置を把握する。次に低周波にある極を打ち消すように微分補償の零点 Z_{ff} を配置する。続いて微分補償の極 P_{ff} を打ち消すように ESR 補償の零点 Z_{ESR} を配置する。ESR 補償は微分補償の零点 Z_{ff} とクロスオーバー周波数の間になるように配置することで、より位相余裕を確保することができる。以上の設計手順で LDO を安定化する。

5. シミュレーション結果

図 1 において出力電圧 $V_o=5V$, $Q_1: 2SA562$, $Q_2: 2SC1815$, $U_1: AD817$ を用いた LDO を例に安定性を考える。この回路の極を、式 (1)~(4) を用いて理論的に求めると、 $P_{OP}: 30Hz$, $P_{LOAD}: 120Hz$, $P_{NPN}: 300kHz$, $P_{PNP}: 30MHz$ に存在する。

この回路では出力コンデンサにセラミックコンデンサを用いた場合でも安定することを目的とする。図 1 の回路について回路シミュレーションで求めたボード線図を図 6 に示す。図 6 からクロスオーバー周波数において位相余裕がマイナスであることが分かる。この回路に微分補償、及び ESR 補償を加えたボード線図を図 7 に示す。微分補償の Z_{ff} は低域の極を打ち消すために可能な限り低域に設置している。 Z_{ff} を低域にするためには式 (5) より C_{ff} を大きい値にする必要がある。 C_{ff} は数十 pF が上限であるため、今回は 50pF とした。ESR 補償はセラミックコンデンサを用いた場合を想定しており、ESR は 0.05 Ω としている。各補償による零点、極は上記の値から $Z_{ff}: 28kHz$, $P_{ff}: 62kHz$, $Z_{ESR}: 670kHz$ で生じる。その結果、図 7 ではゲインが 0dB の時に位相余裕が 30° 以上あることが分かる。このことから、原理上は補償を加えることで回路が安定することが分かる。

安定性は出力コンデンサ C_o , ESR, 負荷抵抗 R_L の値に大きく影響を受ける。そこで R_L をパラメータとして位相余裕を ESR, C_o の関数として求めた結果を図 8 に示す。色が白いほど位相余裕が大きく、濃いほど位相余裕が無く悪化していることを示しており、破線が安定限界である。ESR の値が大きい時に不安定となるのは図

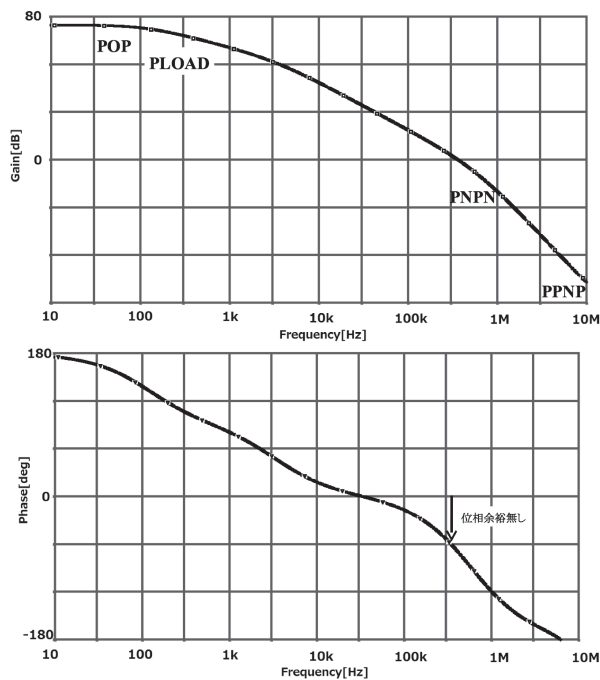


図 6 シミュレーション回路によるボード線図

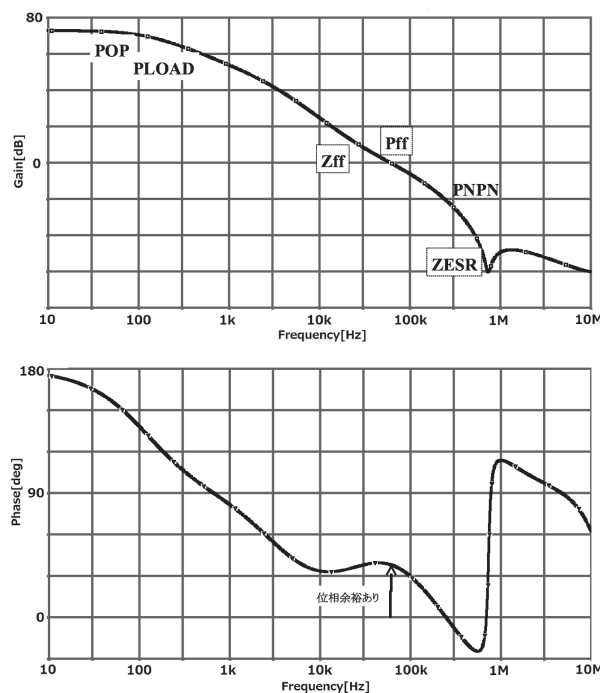
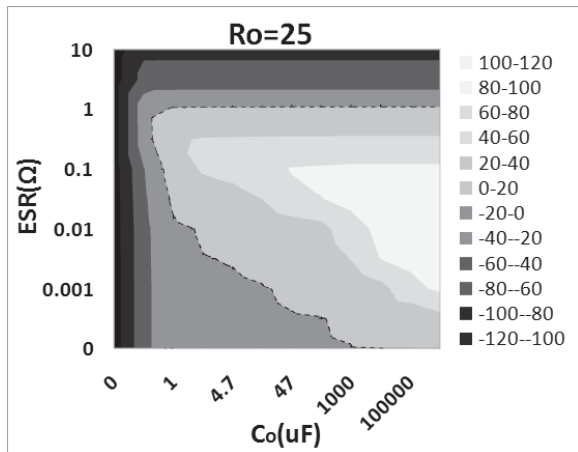
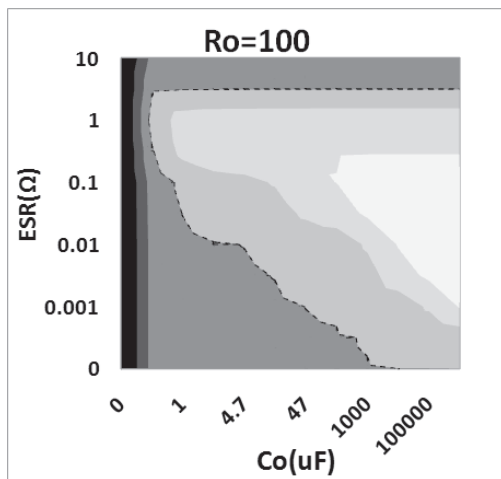


図 7 シミュレーション回路によるボード線図 (補償後)

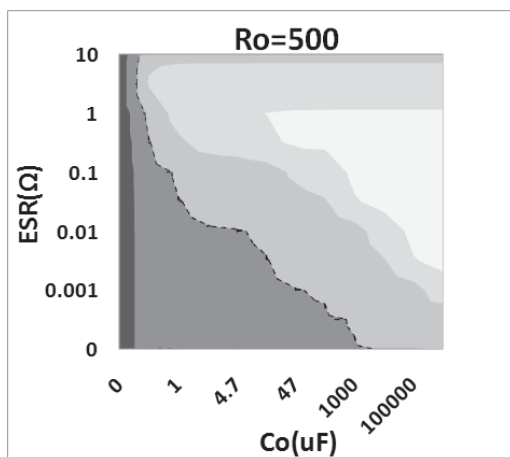
5 において Z_{ESR} が低周波に来てしまう事が原因である。この結果クロスオーバー周波数が高周波化し、高周波にある複数の極による位相遅れで不安定となる。 C_o , R_L の値が小さい程不安定となるのは、図 5 において P_{LOAD} と Z_{ESR} が高域に移動し位相余裕がなくなることが原因である。このことからセラミックコンデンサ等の ESR が小さなコンデンサを用いる際には容量を十分に確保す



(a) $R_o=25[\Omega]$ の場合



(b) $R_o=100[\Omega]$ の場合



(c) $R_o=500[\Omega]$ の場合

図8 ESR, C_o と位相余裕の関係

る,あるいは軽負荷とならないようにするなどの工夫が必要となる. 具体的な容量としては数 μF 程度が妥当である. $0.1\mu\text{F}$ などの値ではセラミックコンデンサの ESR では不安定になる可能性がある. 一方, LDO の DC ゲインを低く設計すれば ESR 補償によらず安定とすることが可能であり, コンデンサ容量制限を大きく緩和することができる. この結果, DC ゲインを下げる前の LDO と比べて, 小容量かつ低 ESR のコンデンサを用いることができる. 一方, DC ゲインの低下により定常偏差と応答性が犠牲となる点には注意しなければならない. ただし, ESR が小さなセラミックコンデンサを用いれば, ステップ変化に対して大きな改善効果が期待できる.

図9は負荷電流をステップ変化させた際の出力電圧の応答波形の一例である. 今回は $C_o=4.7\mu\text{F}$, $R_{\text{ESR}}=0.5\Omega$, 負荷電流の最大値を 200mA , 最小値を 10mA とし, $10\text{mA} \rightarrow 20\text{mA} \rightarrow 200\text{mA} \rightarrow 20\text{mA} \rightarrow 10\text{mA}$ と変化させた. この時の位相余裕は 80° と十分な値であった. いずれも出力電圧 5V に対しての誤差電圧が 0.02V 程度と $\pm 1\%$ 未満であり問題無い. 応答性については電圧が変化してから元の電圧 5V に戻るまで, 数 $10\mu\text{s}$ 程度となっている.

一方, $C_o=1\mu\text{F}$, $R_{\text{ESR}}=0.05\Omega$ と小容量, 低 ESR とした場合では位相余裕は 20° であった. この場合 DC ゲインを 60dB 程度下げれば先の $C_o=4.7\mu\text{F}$, $R_{\text{ESR}}=0.5\Omega$ の場合と同レベルの位相余裕となるが, DC ゲインの低下が著しいため問題である. これに対して, DC ゲインの低下を 10dB に抑えれば, 40° の位相余裕を確保できるため, 設計としては十分と考えられる.

6. 実験結果

図10は図4の実験回路においてボード線図を測定したものである.

この図とシミュレーション波形を比べると, 回路上に含まれる配線インダクタンスやコンデンサの温度特性による容量変化の誤差が考えられるものの, 特性全体の概形は一致しており, 今回の解析及び位相補償の設計手順の妥当性が示されたといえる.

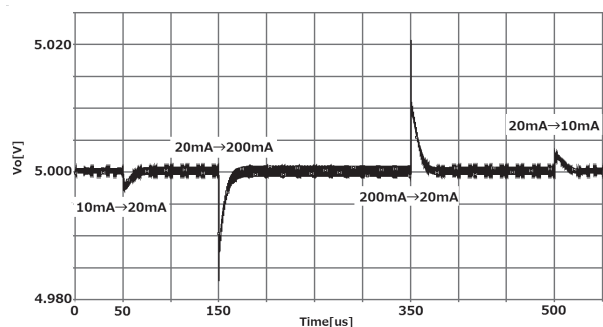


図9 負荷変動における電圧波形

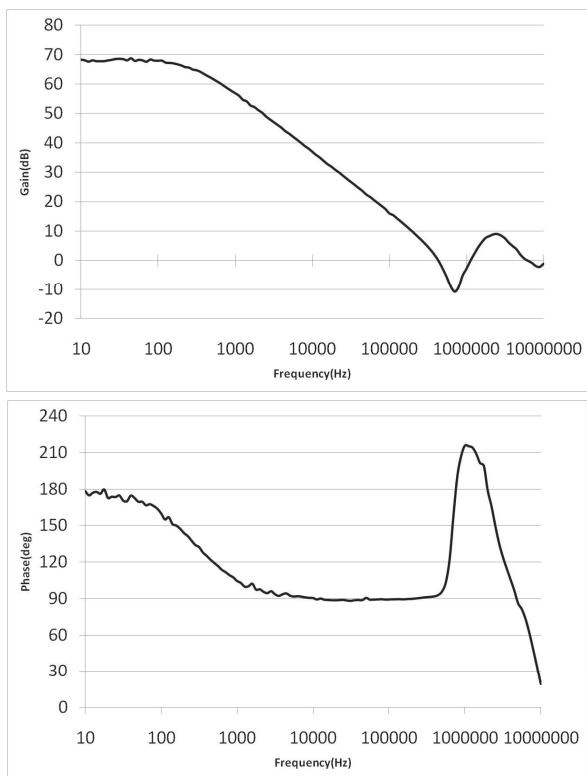


図 10 実験回路によるボード線図

5. まとめ

LDO の安定性について詳細な解析を行い、安定性を改善する補償方法とその結果得られる安定領域を明らかにした。LDO において必ず存在するオペアンプ、負荷、トランジスタによる極の位置を把握した上で、微分補償や ESR 補償による零点の位置を設定し、位相余裕を十分に確保する補償を行うことで LDO を安定化させることができる。特に負荷コンデンサの選定は安定性に大きな影響を与える。安定性がより求められる場面では容量値が大きく変化しないタンタルコンデンサを用いることが一般手法である。一方、より省スペース化したい場合は小容量セラミックコンデンサを用いることが適切であり、DC ゲインの再設定も考慮したパラメータ調整で安定化することが可能である。

参考文献

- [1] 小浜 輝彦, 野又 佳祐, ” LDO レギュレータの安定性について”, 福岡大学工学集報 No.87, pp.9-15, 2011 年 9 月
- [2] 古賀健史, 小浜輝彦, ” LDO レギュレータの安定性改善について”, 電気学会産業応用部門大会 Y-37, 2011 年 9 月
- [3] National Semiconductor Application Note 1148, Chester Simpson, 2000 年 5 月
- [4] National Semiconductor Application Note 1482, Chester Simpson, 2006 年 5 月
- [5] 棚木義則, ”電子回路シミュレータ PSpice 入門編”, CQ 出版社
- [6] 森下勇, ”電子回路シミュレータ PSpice リファレンス・ブック”, CQ 出版社
- [7] 遠坂俊昭, ”電子回路シミュレータ SPICE 実践編”, CQ 出版社