

# GeAu 層を用いた金誘起層交換成長法で作製した 結晶性 Ge における結晶学的特性と電気伝導特性の評価

笠原 健司<sup>1)\*</sup>・梶 昂輝<sup>1)</sup>・眞砂 卓史<sup>1)</sup>

(令和2年11月16日受理)

## Crystallographic and electrical properties for the crystalline germanium prepared by a gold-induced crystallization with GeAu layers

Kenji KASAHARA<sup>1)\*</sup>, Koki KAKOI<sup>1)</sup> and Takashi MANAGO<sup>1)</sup>

(Received November 16th, 2020)

### Abstract

The crystallographic and electrical properties for the crystalline germanium (c-Ge) layers prepared on SiO<sub>2</sub>/Si(100) substrates at 300°C by a gold-induced crystallization (GIC) method with Au-doped amorphous Ge (a-GeAu) layers were investigated. From X-ray diffraction and electron back-scattering diffraction analyses, it was confirmed that (111)-oriented c-Ge grains were grown on SiO<sub>2</sub> layers same as c-Ge layers synthesized by conventional GIC and multi-layer GIC methods. The hole concentration  $n_p$  and mobility  $\mu_p$  for our c-Ge layers were estimated to  $n_p \sim 1.0 \times 10^{19} \text{ cm}^{-3}$  and  $\mu_p \sim 57 \text{ cm}^2/\text{Vs}$ , respectively. Our  $n_p$  is  $\sim 10$  times higher than one for ML-GIC, and  $\mu_p$  is almost equal to a quarter of one for ML-GIC. This degradation of the electrical properties for the c-Ge layers might be caused by the presence of Au atoms remaining in c-Ge layers.

**Keywords:** germanium, gold-induced crystallization, flexible electronics

### 1. はじめに

近年、プラスチックや薄いガラス板といった簡単に手で曲げられるフレキシブルな基板の上に、ディスプレイやセンサーなどを搭載し、既存の電子機器のフレキシブル化や、ウェアラブル機能の付加、そして超軽量化などを試みようとする「フレキシブルエレクトロニクス」という研究分野が注目されている [1, 2]。既に実用化されている様々な種類の電子素子をプラスチックなどの軟化温度が低い材料 ( $\sim 300^\circ\text{C}$ ) の上に作製するためには、当然ながら、それらのプロセス温度を軟化温度以下にする必要がある。これまでに、低温作製でも比較的高い移動度が実現できるアモルファス酸化半導体や有機物半導体を用いることで、スイッチング用の薄膜トランジスタ (TFT)[3] や発光ダイオード [4] などをプラスチック基板上に形成したという報告が数多くなされており、一部は既に実用化もなされている。最近では巨大磁気抵抗 (GMR) 素子や磁気ト

ネル接合 (MTJ) 素子の低温作製に関する報告も増えており [5, 6]、フレキシブル基板上の磁気メモリやスピントルク発信器や、基板のフレキシブル性を生かした歪みセンサ [7, 8] などへの応用も期待されている。一方で、これらの電子デバイスを動作させるためには、それらを適切に駆動し、信号や情報を高速に処理する、大規模集積回路 (LSI) に代表される、システム部が必須となる。しかしながら、高い性能が要求されるシステム部を  $300^\circ\text{C}$  以下という低温で作製することは、既存の技術では非常に難しく、現状ではディスプレイ部やセンサ部などと、システム部は別々の基板上に形成し、後から配線で繋ぐしか方法がない。もし、ディスプレイ部やセンサ部と、システム部を同一基板上に形成し、一体化させることができれば、フレキシブル電子デバイスのさらなる省スペース化や機器の軽量化、ウェアラブル性の向上など様々な性能向上が期待できる。 [9, 10]

このシステム部の半導体チャネル材料の候補として

1) 福岡大学理学部物理科学科 〒814-0180 福岡県福岡市城南区七隈8-19-1

Department of Applied Physics, Faculty of Science, Fukuoka University, Nanakuma 8-19-1, Jonan-ku, Fukuoka 814-0180, Japan.

\*Corresponding author: K. Kasahara (e-mail: kasaharakenji@fukuoka-u.ac.jp)

は、現在の LSI のチャンネル材料に应用されている Si (電子移動度  $\mu_n \sim 1400 \text{ cm}^2/\text{Vs}$ , 正孔移動度  $\mu_p \sim 470 \text{ cm}^2/\text{Vs}$ ) や、次世代 LSI のチャンネル材料として期待されている Ge ( $\mu_n \sim 3900 \text{ cm}^2/\text{Vs}$ ,  $\mu_p \sim 1900 \text{ cm}^2/\text{Vs}$ ) といった IV 族系の無機半導体材料が挙げられる。しかしながらこれらの半導体材料は、 $300^\circ\text{C}$  以下の低温で何の工夫もせずに形成した場合、微結晶の集まりであるアモルファス (a-) という状態になり、その電気伝導特性は単結晶に比べて大きく劣化し、全くその性能を發揮できないことがよく知られている ( $\mu_n, \mu_p < 0.1 \text{ cm}^2/\text{Vs}$ )。すなわち、プラスチック基板などの上において、その軟化温度 ( $300^\circ\text{C}$ ) 以下という低温で Si や Ge を結晶化させる、いかに単結晶に近い電気伝導特性を実現できるかがこのデバイス実現への鍵となる。最近、a-Si/ $\text{AlO}_x$ /Al/絶縁性基板、a-Ge/ $\text{AlO}_x$ /Au/絶縁性基板といった構造を熱処理し、Al や Au の触媒効果を利用することで、 $200 \sim 400^\circ\text{C}$  という非常に低温ながら、結晶性の (c-)Si や Ge を石英やプラスチック基板上に形成するという、所謂、アルミニウム誘起層交換成長 (AIC) 法や金誘起層交換成長 (GIC) 法という手法が注目を集めている [11-18]。この手法は次に示すような 4 つのフェーズで、c-Si や c-Ge 層が形成される。(1) まず、上部の a-Si もしくは a-Ge 層から  $\text{AlO}_x$  層の拡散パスを通り、Si もしくは Ge 原子が下部の Al もしくは Au 層に供給される。(2) その下部 Al もしくは Au 層内において、Si もしくは Ge が結晶化し、結晶核が発生する。(3) この結晶核を元に、Si もしくは Ge 結晶粒が成長する。その際、元々下部層にあった Al もしくは Au 原子は上部層に押し上げられ、吐き出される。(4) 隣り合った結晶粒同士がぶつかる、Si もしくは Ge 結晶粒の成長が停止する。その後、上部に吐き出された Al 層もしくは Au 層と  $\text{AlO}_x$  層をウェットエッチングなどで取り除くと、絶縁性基板上に c-Si もしくは c-Ge 層が残る。この手法で Si や Ge が低温でも結晶成長する理由には、触媒の Al や Au 原子の電子遮蔽効果によって Si-Si もしくは Ge-Ge の結合が弱まり、低温でも Si や Ge 原子が動きやすくなることや、下部層の Al や Au 結晶粒の粒界において、低温でも Si や Ge が結晶化しやす

くなることなどが挙げられている [11, 19]。ごく最近、我々はこの手法を發展させ、 $(\text{Au/a-Ge})_{10}/\text{AlO}_x/\text{Au}$ /絶縁性基板という多層構造を  $300^\circ\text{C}$  以下で熱処理することで、直径が  $1000 \mu\text{m}$  に達するような巨大な Ge 結晶粒を石英およびプラスチック基板上に実現した [20]。また、その Ge を用いることで低温プロセスだけで作製した蓄積層型 p チャンネル TFT の動作確認にも成功した [21, 22]。我々はこの手法を多層 (ML-)GIC 法と呼んでいる。この手法は、Ge の拡散パスを制御する  $\text{AlO}_x$  層の品質を高めることで Ge 結晶核の発生密度を抑制し、かつ上部の a-Ge 層へ Au 層を挿入することにより Ge-Ge 結合を弱化し、Ge の結晶成長を促進させることで、超巨大な Ge 結晶粒を実現した。しかしながら、a-Ge 層と Au 層の積層化によりプロセスが複雑化し、サンプルの作製に手間がかかるという問題が顕在化している。そこで本研究では  $(\text{Au/a-Ge})_{10}$  積層構造の代わりに、a-Ge 層に Au 原子をドーピングした GeAu 層を用いることで ML-GIC 法の簡素化を試み、この手法で作製した c-Ge 層の結晶学特性および電気伝導特性の評価を行なった。

## 2. 実験方法

Figure 1 に、試料作製の方法について概要を示す。まず、熱酸化膜 ( $\sim 325 \text{ nm}$ ) 付き Si(100) 基板を化学洗浄したのち、抵抗加熱蒸着装置を用いて、 $25 \text{ nm}$  厚の Au 層と、厚さ  $d_{\text{Ge}}$  が  $0.7, 1.0, \text{ および } 1.3 \text{ nm}$  の Ge 層を成膜した。Ge をプラズマ酸化し (投入電力:  $200 \text{ W}$ , 酸化時間;  $16 \text{ h}$ )、拡散制御層の  $\text{GeO}_x$  層を形成した。その後、電子蒸着法を用いて、 $25 \text{ nm}$  厚の GeAu (Au:  $36 \text{ wt}\%$ ) 層を形成した。層交換により Ge 結晶を成長させるために、管状炉を用い、 $\text{N}_2$  雰囲気中で、 $300^\circ\text{C}$ ,  $100 \text{ h}$  の熱処理を行なった。最後に、ヨウ素-ヨウ化カリウム水溶液を用いたウェットエッチングにより、上部の Au 層および  $\text{GeO}_x$  層を除去した。c-Ge 層における結晶性の評価は、X 線回折 (XRD) 法および電子線後方散乱分光 (EBSD) 法を用いて行い、電気伝導特性の評価はホール効果測定により行なった。

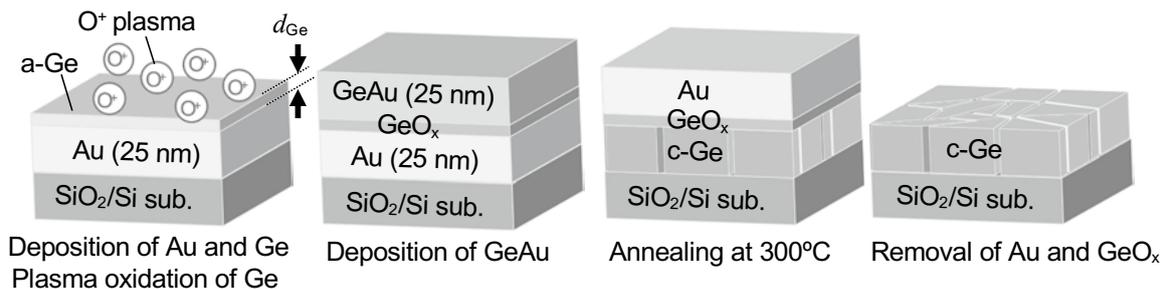
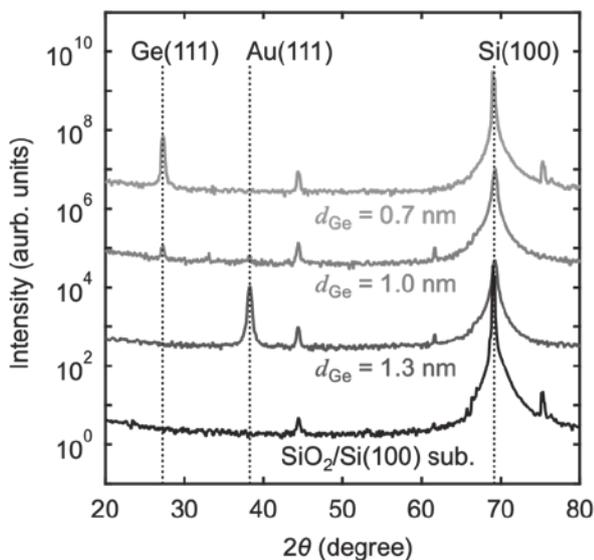


Fig.1 Schematic illustration of a gold induced crystallization process for Ge.

### 3. 結果と考察

まず、ウェットエッチング後の試料におけるXRDスペクトルの酸化するGe膜厚( $d_{\text{Ge}}$ )依存性を示す(Fig. 2). ここでは比較のために、 $\text{SiO}_2/\text{Si}(100)$ 基板のXRDスペクトルも示している. $d_{\text{Ge}} = 0.7$ および $1.0$  nmの試料においては、基板ピークの他に明瞭なGe(111)ピークが観測されており、GICによって(111)配向したGe結晶が形成されていることが示唆されている.一方で、 $d_{\text{Ge}} = 1.3$  nmの試料においては、Ge(111)ピークが全く観測さず、代わりに、Au(111)ピークが明瞭に観測されている. この結果は、上部のGeAu層と下部のAu層の層交換が行われなかったためにGe結晶が形成されておらず、かつ基板表面にそのまま残っていたAu層をウェットエッチングで完全に除去できなかったことを示している.

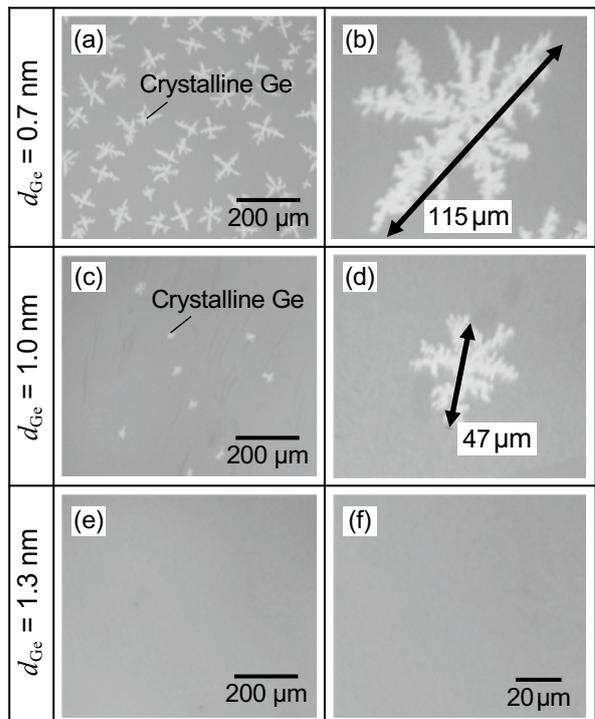
次に各 $d_{\text{Ge}}$ におけるウェットエッチング後の試料表面の光学顕微鏡写真をFig. 3に示す. $d_{\text{Ge}} = 0.7$ および $1.0$  nmの試料においてはGe結晶粒が数多く確認できるものの、 $d_{\text{Ge}} = 1.3$  nmの試料においては全く確認できないことがわかる. この結果は、XRD測定の結果とよく一致している. $d_{\text{Ge}} = 1.3$  nmの試料でGe結晶が発生しなかった原因として、拡散制御層である $\text{GeO}_x$ 層が厚すぎることが考えられる. すなわち、厚い $\text{GeO}_x$ 層では、拡散パスの多くが塞がり、Ge原子がGeAu層から下部Au層へほとんど拡散できなかったために、Ge結晶の核発生およびその成長が起きなかったものと考えられる. 次に、 $d_{\text{Ge}} = 0.7$ および $1.0$  nmの試料を比較してみると、 $d_{\text{Ge}} = 0.7$  nmの試料の方が、単位面積あたりにおけるGe結晶粒の数が多



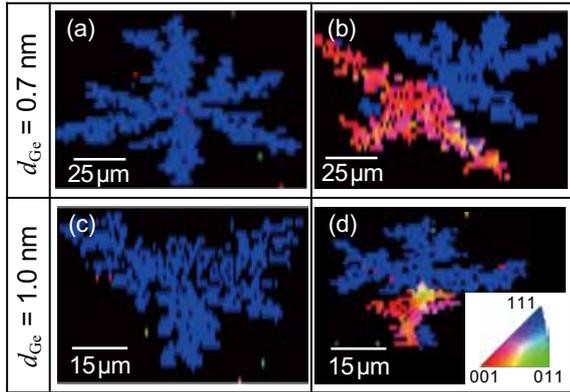
**Fig.2** XRD spectra for the samples with  $d_{\text{Ge}} = 0.7, 1.0,$  and  $1.3$  nm after wet etching process of a Au layer. Black solid line shows the XRD spectrum for a  $\text{SiO}_2/\text{Si}(100)$  substrate.

く、かつその大きさも2倍以上も大きいことがわかる. $d_{\text{Ge}} = 0.7$  nmの $\text{GeO}_x$ 層は $d_{\text{Ge}} = 1.0$  nmに比べ薄いため、単位面積当たりのGeの拡散パスが多いものと考えられる.従って、下部Au層内におけるGe結晶核の発生密度も高くなり、その結果、Ge結晶粒の密度が高くなったものと考えられる.さらに、各々の拡散パスのコンダクタンスについても $d_{\text{Ge}} = 0.7$  nmの方が大きく、Geの拡散量も多いものと予想される.Ge原子の供給量が上がれば、Ge結晶の成長速度も速くなるため、結果として $d_{\text{Ge}} = 0.7$  nmのGe結晶粒のサイズが大きくなったものと考えられる.このような、Ge結晶粒の発生密度や粒サイズにおける拡散制御層の厚さ依存性は、スパッタ法で形成した $\text{Al}_2\text{O}_3$ 層を拡散制御層に用いたGIC法の実験でも観測されている.Parkらは、 $\text{Al}_2\text{O}_3$ 層の厚さを6 nmから9 nmまで厚くすると急にGe結晶粒が成長しなくなると報告している[15].このように、Ge結晶の成長過程は拡散制御層の厚さに対してとても敏感であり、GIC法において拡散制御層の膜厚コントロールは非常に重要であることがわかる.

次にc-Ge層の結晶特性を詳しく調査するために、 $d_{\text{Ge}} = 0.7$ および $1.0$  nmのGe結晶粒についてEBSD測定を行なった. Figures 4(a)および(c)は、それぞれ $d_{\text{Ge}} = 0.7$ および $1.0$  nmにおける典型的なGe結晶粒のEBSD像である.どちらも、Ge結晶粒の全面が(111)配向を表す青色になっていることがわかる.こ



**Fig.3** Optical microscope images of the samples with  $d_{\text{Ge}} =$  (a)(b)  $0.7,$  (c)(d)  $1.0,$  and (e)(f)  $1.3$  nm.

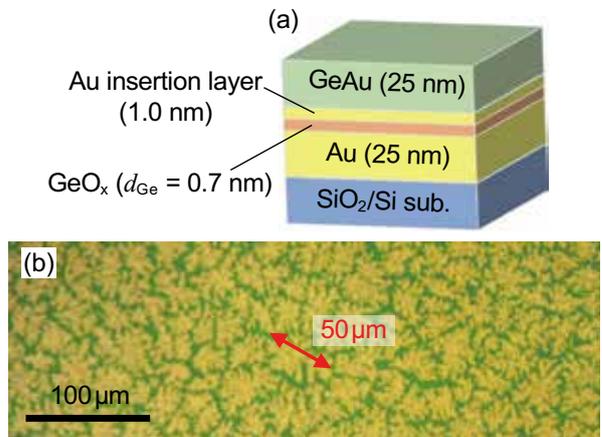


**Fig.4** EBSD images of typical Ge crystal grains with  $d_{\text{Ge}} =$  (a) (b) 0.7 and (c)(d) 1.0 nm. The colors of the EBSD images indicate crystal orientation of Ge grains, according to the inserted color key. (a) and (c) show that (111)-oriented single-crystalline Ge grains are achieved. However, a few Ge grains whose crystal orientation changes from (111) to (100) were also observed, shown as (b) and (d).

これは、Ge 結晶粒が単結晶であり、基板の面直方向に対して (111) 配向していることを示唆している。この結果は、XRD 測定で Ge(111) ピークが観測された結果と一致しており、(Fig.2) これまでに報告されている GIC 法で作製された Ge 結晶層の結果ともよく一致している [15, 16, 20, 23, 24]。Park らは、GIC 法で Ge 結晶粒がどの面方位で配向するかは基板表面でどの面方位の結晶核が発生しやすいかに依存すると説明している [15]。SiO<sub>2</sub> 表面においては、(111) 方向の Ge 結晶核が発生しやすいために、(111) 配向した Ge 結晶粒が得られるとされている。本研究でも、ほとんどの Ge 結晶粒は (111) 配向することが XRD および EBSD 法の解析から確認された。しかしながら中には、面方位が青色の (111) 方向から赤色の (100) 方向に変化しているものがいくつか確認された [Figs. 4(b) および (d)]。これは、Ge の結晶成長にその面方位が (111) 面から (100) 面に回転したものと考えられる。このような結晶成長中に Ge の面方位が (111) 面から (100) 面に回転するという現象は、Ge の横方向溶解成長法という手法においてよく報告されている [25, 26]。この手法は、SiO<sub>2</sub> 基板などの絶縁体基板上において高温で溶解させた a-Ge を、冷却中に Si 種結晶を用いて結晶化させることで c-Ge を絶縁体基板上に形成する手法であり、GIC 法とは違い、Au のような金属触媒は用いない。Toko らは、この手法において SiO<sub>2</sub> 上で Ge が結晶成長する際に (111) 方向から (100) 方向に回転する原因は、Ge/SiO<sub>2</sub> 界面における界面の自由エネルギーが、(111) 面より (100) 面の方が小さくなるためと説明している [26]。本研究においても、同様の理由で、Ge が結晶成長の途中で (111) 面から (100) 面へ面方位が回転したものと考えられる。しかしながら、同

じ GIC 法を用いている実験では面方位が回転するような現象は観測されていない [15-17, 20-24]。この相違については原因がよくわかっておらず、現在、その特定に向けて調査を行なっている段階である。また、この面方位の回転は、デバイス応用の際に、デバイスの性能劣化や性能のばらつき、歩留まりの低下など、様々な問題を引き起こす可能性が高い。今後の研究で、この面方位の回転を抑制し、単一の面方位に制御できる手法を開発していく必要がある。以上の結果から、a-Ge 層に Au をドーピングした GeAu 層を用いた GeAu/GeO<sub>x</sub>/Au 構造を用いても GIC による Ge の結晶成長は起こり、GIC プロセスの大幅な簡素化が期待できることが明らかとなった。

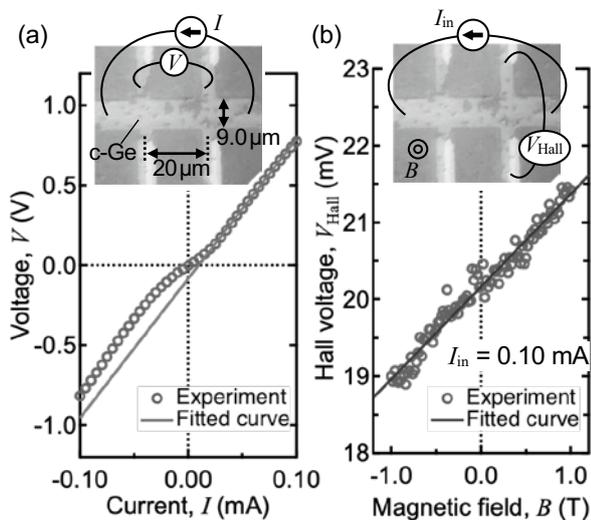
本研究では、電気伝導特性の評価にはホール効果を用いるが、ホール効果を測定する一般的な方法として、半導体薄膜をホールバーに微細加工して測定する手法がある。しかし、Fig. 3(a) のように Ge 結晶粒の面密度が低い状態では、ホールバーへの微細加工が非常に難しい。そこで、Ge 結晶粒の面密度を高くするために、GeAu 層と GeO<sub>x</sub> 層の間に 1.0 nm 厚の Au 挿入層を挿入した試料を作製し [Fig.5 (a)], N<sub>2</sub> 雰囲気中で、100 h、熱処理を行なった。Figure 5(b) は、Au 層と GeO<sub>x</sub> 層を除去した試料の光学顕微鏡写真である。Ge 結晶粒の大きさは、Au 挿入層を挿入しなかった試料 [Figs. 3(a) および (b)] に比べ、半分程度の大きさになっているものの、基板全体に Ge 結晶粒が成長していることがわかる。これは、Au 挿入層を挿入した結果、Ge 結晶核の発生密度が高くなり、Ge 結晶粒が大きく成長する前に、粒同士がぶつかったためだと考えられる。今後、大きな Ge 結晶粒を得るためには、Ge 結晶核の発生密度の抑制と Ge 結晶の成長速度の増大を同時に実現できるような、最適な条件の Au 挿入層



**Fig.5** (a) Schematic illustration of the sample with the 1.0-nm-thick Au insertion layer to promote the diffusion of Ge atoms into the bottom Au layer and (b) optical microscope image of the c-Ge layer after the removal of the Au and GeO<sub>x</sub> layers.

の厚さを探索する必要があるものと考えられる。

次に、このc-Ge層の電気伝導特性を調査するために、フォトリソグラフィ法および1%-H<sub>2</sub>O<sub>2</sub>水溶液を用いたウェットエッチングにより、c-Ge層をホールバーに加工した（厚さ：25 nm，幅：9.0 μm，電極間距離：20 μm）。その後、超純水を用いてc-Ge層の表面に形成された自然酸化膜を除去し、抵抗加熱蒸着装置を用いてAu/Cr層からなる電極パットを形成した（Fig. 6の挿入図）。このようにして作製したGeホールバーを用い、電圧-電流 ( $V$ - $I$ ) 特性、およびホール電圧  $V_{\text{Hall}}$  の磁場依存性を測定した。 $V$ - $I$  特性のグラフを見てみると、低い電流領域においてグラフが明瞭に曲がっていることがわかる [Fig. 6(a)]。これは電流回路内に薄い絶縁障壁が存在し、伝導キャリアがトンネル伝導していることを示唆している。GIC法で作製されたGeは通常、 $p$ 型になることが知られている [17, 21-24]。一般的に、金属/ $p$ -Ge接合は、強いフェルミレベルピニング現象のために、金属の種類にほとんど依らず、オーミック接合になることがよく知られている [27, 28]。しかしながらその一方で、金属/ $p$ -Ge界面に薄いトンネル絶縁層が存在している場合、フェルミレベルピニング現象が緩和され、金属の種類によっては、整流特性が現れることも報告されている [29, 30]。本実験では、Au/Cr層を蒸着する前に、超純水を用いて自然酸化膜の除去を試みているが、完全には除去できていなかった可能性がある。その結果、Cr/Ge界面にGeO<sub>x</sub>層が残っており、整流特性が現れたのではないかと考えられる。すなわち、電極パットとGeの接合部分にショットキー障壁が存在しており、キャリアの伝導がトンネル伝導となっているため、 $V$ - $I$  特性のグラフが曲がったものと考えられる。 $V$ - $I$



**Fig.6** (a)  $I$ - $V$  characteristic and (b) magnetic field dependence of the Hall voltage for the Hall bar fabricated from the c-Ge layer. The insets show the top views of the Hall bar.

特性のグラフをよく見てみると高い電流領域では、比較的、直線になっている。そこでこの領域において直線でフィッティングを行い（図中の青実線）、その傾きからGe結晶粒の抵抗率  $\rho$  を算出したところ、 $\rho \sim 1.9 \times 10^2 \Omega \text{ cm}$  という値が得られた。この値は、これまでに報告されているGIC法で作製されたGe結晶粒と同等の値である [17, 21]。次に、Geホールバーに印加電流  $I_{\text{in}} = 0.100$  mAを印加し、外部磁場  $B$  を  $-1.0 \sim 1.0$  Tで変化させた時のホール電圧  $V_{\text{Hall}}$  の磁場依存性を Fig. 6 (b) に示す。 $V_{\text{Hall}}$  は磁場  $B$  に対して直線的に増加していることがわかる。その傾きは正であることから、これまでのGICの研究報告と同様に、本研究で作製したGe結晶も  $p$ 型であることがわかる。しかしながら、 $V_{\text{Hall}}$  の値はノイズが多く、かつ、磁場  $B = 0$  Tのときでも、 $V_{\text{Hall}} \neq 0$  Vになっておらず、大きなオフセット電圧が生じていることがわかる。これは、各電極/Ge接合がショットキー接合で接合抵抗が高いために、Geホールバー内を流れる電流パスが不均一になっていることが主な原因と考えられる。これらを抑制するためには、Cr/Ge界面に存在している自然酸化膜GeO<sub>x</sub>をしっかりと除去し、オーミック接合となるようにすることが最も良い方法であると考えられる。 $V_{\text{Hall}}$  の磁場依存性のグラフを直線フィッティングし、その傾きから正孔密度  $n_p$  を算出したところ、 $n_p \sim 1.0 \times 10^{19} \text{ cm}^{-3}$  という値が得られた。この  $n_p$  の値は、先行研究で報告されている正孔密度の値よりも一桁程度、大きい値である [17, 21, 22]。また正孔移動度  $\mu_p = 1/(en_p \rho)$  ( $e$  は電気素量) から、 $\mu_p \sim 57 \text{ cm}^2/\text{Vs}$  という値が見積もられた。この値はこれまでに報告されているGIC法で作製されたGe結晶粒の  $\mu_p$  の値に比べて、1/4程度の大きさである [17, 21, 22]。本研究では、上部のアモルファスGe層内にあらかじめAu原子を導入していた。そのAu原子がGe結晶内に高濃度で残留し、アクセプタとして多くの正孔を生成すると共に、正孔の不純物散乱を増強したために、正孔密度の増大とその移動度の低下が引き起こされた可能性がある。また今回作製したGeホールバーには結晶粒界が多く含まれることから、結晶粒界で生成された多数の正孔と粒界散乱の影響により、Ge結晶粒の電気伝導特性が劣化した可能性もある。今後は、二次イオン質量分析法やオージェ電子分光法などの組成分析でGe結晶粒内にどの程度、Au原子が残留しているかなどを詳しく調査するとともに、Ge結晶粒の大粒径化などを試みることでホールバー内に含まれる結晶粒界を抑制するなどの工夫を行うことで、Ge結晶粒の電気伝導特性の改善を試みたい。

#### 4. まとめ

本研究では、上部のアモルファス Ge 層に Au をドーピングした GeAu 層を導入することにより、多層金誘起層交換成長 (ML-GIC) 法プロセスの簡素化を試みた。GeAu/GeO<sub>x</sub>/Au/SiO<sub>2</sub>/Si(100) 構造を 300°C で熱処理することにより、(111) 配向した Ge 結晶粒を形成することに成功し、GIG プロセスが簡素化できる可能性を示した。しかしながら、ホール効果測定の結果から Au ドーピングの効果と思われる、Ge の電気伝導特性の劣化が観測されており、( $n_p \sim 1.0 \times 10^{19} \text{ cm}^{-3}$ ,  $\mu_p \sim 57 \text{ cm}^2/\text{Vs}$ ) 今後は残留した Au 原子の調査などを行い、電気伝導特性劣化の原因を探るとともに、その改善を試みる予定である。

#### 謝辞

本研究で、電子線後方散乱分光法の測定および解析は熊本高専の角田功准教授と清水昇氏に行なっていた。本研究の一部は、JSPS 科研費 (課題番号: 19K15458)、および福岡大学研究推進部の研究経費 (課題番号: 175005, 205003) によるものである。

#### 参考文献

- [1] G. D. Crawford, "Flexible Flat Panel Displays", John Wiley & Sons. (Chichester, 2005).
- [2] S. R. Forrest, *Nature* **438**, 911 (2004).
- [3] K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, *Nature* **432**, 488 (2004).
- [4] Vaeth, K. M. OLED-display technology. *Inform. Display* **19**, 12–17 (2003).
- [5] Y.-F. Chen, Y. F. Mei, R. Kaltofen, J. I. Mönch, J. Schumann, J. Freudenberger, H. J. Klauβ, and O. G. Schmidt, *Adv. Mater.* **20**, 3224 (2008).
- [6] C. Barraud, C. Deranlot, P. Seneor, R. Mattana, B. Dlubak, S. Fusil, K. Bouzouane, D. Deneuve, F. Petroff, and A. Fert, *Appl. Phys. Lett.* **96**, 072502 (2010).
- [7] S. Ota, A. Ando, and D. Chiba, *Nat. Electron.* **1**, 124 (2018).
- [8] H. Matsumoto, S. Ota, A. Ando, and D. Chiba, *Appl. Phys. Lett.* **144**, 132401 (2019).
- [9] T. Matsuo and T. Muramatsu, *SID Symp. Gig. Tech. Pap.* **35**, 856 (2004).
- [10] M. Hatano, 210th ECS Meeting, Abstract No. 1558 (2006).
- [11] O. Nast, T. Puzzer, L. M. Koschier, A. B. Sproul, and S. R. Wenham, *Appl. Phys. Lett.* **73**, 3214 (1998).
- [12] Z. M. Wang, J. Y. Wang, L. P. H. Jeurgens and E. J. Mittemeijer, *Phys. Rev. B* **77**, 045424 (2008).
- [13] M. Kurosawa, N. Kawabata, T. Sadoh, and M. Miyao, *Appl. Phys. Lett.* **95**, 132103 (2009).
- [14] H. Kuraseko, N. Orita, H. Koaizawa, and M. Kondo, *Appl. Phys. Express* **2**, 015501 (2009).
- [15] J. Park, T. Suzuki, M. Kurosawa, M. Miyao, and T. Sadoh, *Appl. Phys. Lett.* **103**, 082102 (2013).
- [16] J. Park, M. Miyao, and T. Sadoh, *Jpn. J. Appl. Phys.* **53**, 020302 (2014).
- [17] J. Park, K. Kasahara, K. Hamaya, M. Miyao, and T. Sadoh, *Appl. Phys. Lett.* **104**, 252110 (2014).
- [18] K. Toko and T. Suemasu, *J. Phys. D: Appl. Phys.* **53**, 373002 (2020).
- [19] Z. Wang, L. P. H. Jeurgens, J. Y. Wang, and E. J. Mittemeijer, *Adv. Eng. Mater.* **11**, 131 (2009).
- [20] H. Higashi, K. Kasahara, K. Kudo, H. Okamoto, K. Moto, J.-H. Park, S. Yamada, T. Kanashima, M. Miyao, I. Tsunoda, and K. Hamaya, *Appl. Phys. Lett.* **106**, 041902 (2015).
- [21] K. Kasahara, Y. Nagatomi, K. Yamamoto, H. Higashi, M. Nakano, S. Yamada, D. Wang, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **107**, 142102 (2015).
- [22] K. Kasahara, H. Higashi, M. Nakano, Y. Nagatomi, K. Yamamoto, H. Nakashima, and K. Hamaya, *Mater. Sci. Semicond. Process.* **70**, 68 (2017).
- [23] H. Higashi, M. Nakano, K. Kudo, Y. Fujita, S. Yamada, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, *Appl. Phys. Lett.* **111**, 222105 (2017).
- [24] H. Higashi, K. Kudo, K. Yamamoto, S. Yamada, T. Kanashima, I. Tsunoda, H. Nakashima, and K. Hamaya, *J. Appl. Phys.* **123**, 215704 (2018).
- [25] M. Miyao, K. Toko, T. Tanaka, and T. Sadoh, *Appl. Phys. Lett.* **95**, 0221155 (2009).
- [26] K. Toko, T. Tanaka, Y. Ohta, T. Sadoh, and M. Miyao, *Appl. Phys. Lett.* **97**, 152101 (2010).
- [27] A. Dimoulas, P. Tsipas, A. Sotiropoulos, and E. K. Evangelou, *Appl. Phys. Lett.* **89**, 252110 (2006).
- [28] T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Lett.* **91**, 123123 (2007).
- [29] T. Nishimura, K. Kita, and A. Toriumi, *Appl. Phys. Express* **1**, 051406 (2008).
- [30] R. R. Lieten, V. V. Afanas'ev, N. H. Thoan, S. Degroote, W. Walukiewicz, and G. Borghs, *J. Electrochem. Soc.* **158**, H358 (2011).